

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-256271

(P2001-256271A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 17/50	6 6 6	G 0 6 F 17/50	6 6 6 V 5 B 0 4 6
G 0 1 R 29/08		G 0 1 R 29/08	Z 9 A 0 0 1

審査請求 未請求 請求項の数37 O L (全 56 頁)

(21) 出願番号 特願2000-63783 (P2000-63783)

(22) 出願日 平成12年3月8日 (2000.3.8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 島崎 健二

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 平野 将三

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100105647

弁理士 小栗 昌平 (外4名)

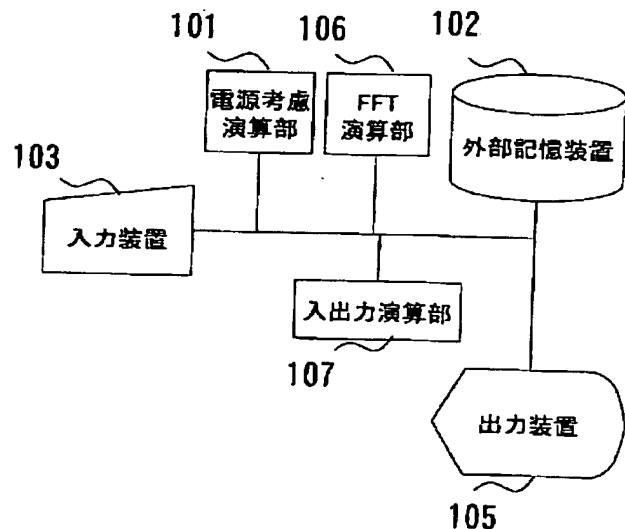
最終頁に続く

(54) 【発明の名称】 不要輻射解析方法および装置

(57) 【要約】

【課題】 高速解析しつつも、電源電流を高精度に解析することで、シミュレーション上において L S I の不要輻射を現実的な時間で評価する。

【解決手段】 本発明では、特定の周波数帯に対し、高速フーリエ変換（以下 F F T ）解析の離散幅の変更を指定する離散幅変更周波数帯指定工程と、前記指定された周波数帯と前記周波数帯以外の周波数帯とに対し、それぞれ互いに異なる F F T 解析離散幅を割り当て、モデル化する工程とを含むことを特徴とする。また、本発明の E M I 解析手法は、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの影響をゲートレベルの電源電流計算に反映することで、シミュレーション上において L S I の不要輻射を現実的な時間で評価するとともに、さらには、E M I 発生個所の特定を支援することによる効率的な E M I 対策を可能にするものである。



【特許請求の範囲】

【請求項1】 論理シミュレーションの実行によってLSIの不要輻射量を解析する方法であって、周波数帯毎に、FFT解析離散幅を割り当て、モデル化する工程と、

前記モデル化する工程によって算出された電流変化情報を高速フーリエ変換処理する工程とを含むことを特徴とする不要輻射解析方法。

【請求項2】 前記モデル化する工程は、特定の周波数帯に対し、高速フーリエ変換（以下FFT）解析の離散幅の変更を指定する離散幅変更周波数帯指定工程と、前記指定された周波数帯と前記周波数帯以外の周波数帯とに対し、それぞれ互いに異なるFFT解析離散幅を割り当て、モデル化する工程とを含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項3】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、前記モデル化する工程は、不要輻射解析対象回路の各時刻の電流計算と同時に電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項4】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、前記モデル化する工程は、解析対象の時間範囲未満の時間間隔について、前記時間間隔の電流計算を行うごとに前記時間間隔の電流周波数成分の演算を行い、演算された前記電流周波数成分をもとに全解析対象の時間範囲の電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項5】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、前記モデル化する工程は、電流周波数成分記憶工程と、あらかじめ定めた閾値を超える電流周波数成分値のみを前記電流周波数成分記憶手段に記憶する電流周波数成分計算工程とを有することを特徴とする請求項1に記載の不要輻射解析方法。

【請求項6】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、前記モデル化する工程は、電流周波数成分記憶工程と、電流周波数成分値を大きいものからあらかじめ定めた個数分のみ前記電流周波数成分記憶手段に記憶する電流周波数成分計算工程とを有することを特徴とする請求項1に記載の不要輻射解析方法。

【請求項7】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、前記モデル化する工程は、対象回路網中のあらかじめ指定した回路部分のみの電流周波数成分を計算する工程を含むことを特徴とする請求

項1に記載の不要輻射解析方法。

【請求項8】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程が、

対象回路網の1つ以上の回路部分について、電流量があらかじめ定めた閾値を超えると推定される前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項9】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網の2つ以上の回路部分について、電流量の推定値が大きいものからあらかじめ定めた個数分の回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項10】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網の1つ以上の回路部分について、論理変化回数があらかじめ定めた閾値を超える前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項11】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

対象回路網の1つ以上の回路部分について、論理変化回数が多いものからあらかじめ定めた個数分の前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項12】 論理シミュレーションの実行によって不要輻射量を解析する方法であって、

前記モデル化する工程は、

回路網の情報から対象回路網の論理変化回数を推定する工程と、対象回路網の1つ以上の回路部分について、論理変化回数に基づき決定された回路部分についてのみ電流周波数成分を計算する工程とを含むことを特徴とする請求項1に記載の不要輻射解析方法。

【請求項13】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、各インスタンスごとの電流波形に対してFFTを行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス名を特定する手段を含むことを特徴とする不要輻射解析装置。

【請求項14】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、

ユーザインターフェースとして、1つ以上のインスタンスを単位としたインスタンス群の電流波形に対してFFTを行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス群を特定する手段を

含むことを特徴とする不要輻射解析装置。

【請求項15】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、ユーザインターフェースとして、インスタンスをライブラリに書かれたフラッグ情報に従ってグルーピングする手段、もしくは、レジスタ・組み合わせ回路・メモリ等のインスタンス群ごとにグルーピングする手段を含むことを特徴とする不要輻射解析装置。

【請求項16】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、ユーザインターフェースとして、インスタンスを各クロック入力端子に接続されるクロックツリーに属するか否かによってグルーピングする手段を有することを特徴とする不要輻射解析装置。

【請求項17】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、ユーザインターフェースとして、インスタンスを同時もしくはある時間間隔内に変化するタイミングを識別した結果に基づきグルーピングするグルーピング手段を含むことを特徴とする不要輻射解析装置。

【請求項18】 前記グルーピング手段で、グループ化したグループ情報から、ノイズの大きな各周波数成分毎にその主原因となるインスタンス名を特定する情報、及びそのノイズレベルの情報をレポートする手段を含むことを特徴とする請求項15乃至17のいずれかに記載不要輻射解析装置。

【請求項19】 論理シミュレーションの実行によって不要輻射量を解析する解析装置であって、ユーザインターフェースとして、あらかじめ決めておいた周波数についてのみFFTを行う手段を含むことを特徴とする不要輻射解析装置。

【請求項20】 論理シミュレーションの実行によってLSIの不要輻射量を解析する解析方法であって、レイアウトデータからLPEを行い求めたチップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに前記補正係数を用いて補正処理を加える工程とからなる電流波形補正工程を含むことを特徴とする不要輻射解析方法。

【請求項21】 前記補正係数を算出する工程は、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておくテーブルによって処理し補正係数を算出する工程を含むことを特徴とする、請求項20記載の不要輻射解析方法。

【請求項22】 前記補正係数を算出する工程は、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておく数式によって処理し補正係数を算出する工程を含むこと

を特徴とする請求項20記載の不要輻射解析方法。

【請求項23】 前記補正処理工程は、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正を加える工程を含むことを特徴とする、請求項20記載の不要輻射解析方法。

【請求項24】 前記補正処理工程は、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正を加えることを特徴とする、請求項20記載の不要輻射解析方法。

10 【請求項25】 前記補正係数を算出する工程は、電源回路の形状情報を利用して電源回路の抵抗情報からチップの等価抵抗を推定し、補正係数の算出工程を高速に行う工程を含むことを特徴とする請求項20記載の不要輻射解析方法。

【請求項26】 論理シミュレーションの実行によって不要輻射量を解析する解析方法であって、

フロアプランの段階で、チップの電源回路の等価抵抗および等価容量を推定する工程と、前記等価抵抗および等価容量情報から補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに補正処理を加える工程を有することを特徴とする不要輻射解析方法。

【請求項27】 前記等価抵抗・等価容量を推定する工程は、チップ面積を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項26記載の不要輻射解析方法

【請求項28】 前記等価抵抗・等価容量を推定する工程は、さらに、テクノロジー情報を考慮して電源回路の抵抗および容量を推定することを特徴とする請求項27記載の不要輻射解析方法。

【請求項29】 前記等価抵抗・等価容量を推定する工程は、さらに、チップ形状および電源パッドの位置を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項27記載の不要輻射解析方法。

【請求項30】 前記等価抵抗・等価容量を推定する工程は、さらに電源パッド数を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項27記載の不要輻射解析方法。

40 【請求項31】 前記等価抵抗・等価容量を推定する工程は、さらに、チップを構成する電源配線の幅情報を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項27記載の不要輻射解析方法。

【請求項32】 前記等価抵抗・等価容量を推定する工程は、さらに、電源配線下の容量生成領域を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする請求項27記載の不要輻射解析方法。

【請求項33】 ポストレイアウト不要輻射解析におけるモジュール毎の電源線を考慮すべく、前記電流波形補正工程が、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、

各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなう工程を含むことを特徴とする請求項20乃至請求項25のいずれかに記載の不要輻射解析方法。

【請求項34】 プリレイアウト不要輻射解析におけるモジュール毎の電源線を考慮すべく、前記電流波形補正工程が、チップ全体の等価抵抗および等価容量に代わり、チップを構成する各モジュールの位置情報および各モジュールの種類情報を考慮してモジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなう工程を含むことを特徴とする請求項26から請求項32のいずれかに記載の不要輻射解析方法。

【請求項35】 前記電流波形補正工程が、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておくテーブルまたは数式によって処理し補正係数を算出する工程あるいは、

理想電源として求めた推定電流波形のイベント単位モデルの底辺または面積に補正を加える工程を含むことを特徴とする請求項26乃至請求項32および請求項34のいずれかに記載の不要輻射解析方法

【請求項36】 不要輻射解析における電源線のインダクタンス成分を考慮すべく、チップのパッケージ情報から電源リード部および電源ワイヤボンディング部に相当するインダクタンス成分を算出し、抵抗、容量に加え、第三の要素とする工程を含むことを特徴とする前記請求項20乃至請求項35のいずれかに記載の不要輻射解析方法。

【請求項37】 不要輻射解析における理想電源の電流波形に対する電源線を考慮すべく、前記電流波形補正工程は、推定電流波形のイベント単位モデルに対して補正する工程に代えて、理想電源として求めたEMI解析対象の電流波形に対して補正を行うことを特徴とする請求項20から請求項36記載の不要輻射解析方法。

【発明の詳細な説明】

【発明の属する技術分野】

【0001】本発明は、不要輻射（EMI：Electromagnetic Interference）解析方法に係り、特に、大規模でかつ高速駆動のLSI（大規模半導体集積回路）に対して高速かつ高精度の論理シミュレーションを行い、電磁輻射を解析する方法に関する。

【0002】

【従来の技術】LSIは、コンピュータはもちろんのこと、携帯電話等の通信機器、一般家庭製品や玩具、自動車まで利用範囲が拡大している。しかし、その一方で、これらの製品から生じる不要輻射がテレビ・ラジオ等の

受信装置の電波障害や他システムの誤動作の原因として問題になっている。これらの問題に対して、フィルタリングやシールドングといった製品全体としての対策も施されているが、部品点数増大・コスト増大・製品上対策の難しさ等の観点より、LSI単体としてのノイズ抑制が強く要請されている。

【0003】このような状況下、各製品においてLSIはキーデバイスとして位置付けられおり、製品の競争力確保のために、LSIの大規模化・高速化が要求されている。製品サイクルが短くなる中で、これらの要求に答えるためにはLSI設計の自動化が必須であり、現状の設計自動化技術導入の条件として同期設計を採用する必要が高まっている。基準クロックに同期して全回路が動作し、大規模かつ高速駆動のLSIの場合には、その瞬時電流は非常に大きくなってしまふことになり、不要輻射の増大を引起すことになる。

【0004】本発明は、LSIの大規模化・高速化を維持しつつも不要輻射を低減するために不可欠であるEMI評価が可能なシミュレーション手法に関するものである。LSIが他へ被害を与えるノイズを大別すると、放射ノイズと伝導ノイズがある。LSIからの直接的な放射ノイズとしてLSIの内部配線から放射されるノイズもあるが、内部配線はアンテナとしては大きくない。もちろん、LSIの動作周波数向上に伴い、LSIから直接的に放射されるノイズが将来的に問題となると思われるが、現時点においてはLSI内部の放射ノイズは問題になるレベルではない。

【0005】これに対して、伝導のノイズは、LSI内のワイヤ、リードフレームやプリント基板上配線など直接的な接続を通じてプリント基板上の他のデバイスへ影響を与えるとともに、これらの接続経路を発信源すなわちアンテナとしてノイズを放射する。この接続経路よりなるアンテナはLSI内部の配線と比べると非常に大きく、不要輻射を考える上で支配的な要素である。

【0006】LSIからの伝導ノイズの経路として、電源と信号があるが、近傍の電磁界を考える場合、電源の電流の変化が電源線をアンテナとして輻射されるノイズが支配的であると考えられる。また、信号においては信号の変化時に生じるリンギング・オーバーシュートが問題となる場合もあるが、LSI内部電源レベルの変動が信号波形として伝導することが問題となる場合が多い。電源・信号どちらの経路を伝導し放射されるノイズも、電源電流の変化と強く相関があると考えられる。

【0007】簡単なインバータ回路を用いてCMOS回路の電源電流を説明する。インバータ回路への入力電圧が変化する場合に、CMOS回路の主な電源電流である負荷容量充放電電流が流れる。そして、これに加え貫通電流が加算して流れることになる。このようなCMOS回路を設計するにあたり、自動設計ツールを用いる上での制約により同期化しているが、同期化したことにより

L S I 全体の回路が同時に動作するため、基準クロックに同期して電源のピーク電流が発生する。しかも、高速化、すなわち周期を短縮するためには、短時間に充放電できるようにトランジスタを大きくするが、その結果としてピーク電流が増大する。当然、L S I が大規模化することによっても L S I 全体の電源電流は増大する。このようにして、電源のピーク電流が増大し、電源電流が急峻な変化をするようになってきているが、この急峻な変化が高調波成分を増大させてしまい、不要輻射の増大を招いている。

【0008】不要輻射の主要因とも言える電源電流の変化について高精度のシミュレーションを行うことが、L S I における不要輻射の評価として有効であると考えられる。ところで従来は、以下に示すようにトランジスタレベルで電流解析を行う電流シミュレーション手法が用いられていた。

【0009】図2は、トランジスタレベルの電流解析手法を用いた従来の E M I 解析方法の処理フローを示したブロック図である。この方法では、解析対象となる L S I のレイアウト情報から、レイアウトパラメータ抽出（以下、L P E とする）処理203を行い、スイッチレベルネットリストについて回路シミュレーション206、電流源モデリング処理208、電源配線 L P E 処理210、過渡解析シミュレーション212、F F T 処理214の各ステップを行うように構成されている。

【0010】以下、各ステップについて図2を参照しながら説明する。ステップ203では E M I 解析対象となる半導体集積回路のレイアウトデータ201と、トランジスタ素子や各種配線寄生素子（抵抗、容量等）、各素子のパラメータ値、及びそれら抽出結果の出力形式を定義した L P E ルール202が入力され、その L P E ルール202に基づきレイアウトデータ201における各素子のパラメータを算出し、ネットリスト204が生成される。尚、本ステップでは電源（及びグランド）配線の寄生素子については、抽出対象にしない。

【0011】ステップ206では前記ステップ203より生成されたネットリスト204と解析対象回路において所望の論理的動作を再現させるためのテストパターン205が入力され、内部回路の動作状態に応じた負荷容量充放電電流や貫通電流等を算出し、各トランジスタ毎の電流波形情報207が生成される。尚、本ステップの最初の処理では電源（及びグランド）電位を変動の無い理想電位と仮定して処理を行う。

【0012】ステップ208では前記ステップ206より生成されたトランジスタ毎の電流波形情報207が入力され、それぞれを以降のステップ212で適用できる形式にモデリングし、電流源素子モデル情報209が生成される。尚、以降のステップ212の処理負荷軽減のためにも、複数個のトランジスタで構成される機能回路ブロック毎に電流源素子としてモデリングする手法が一

般的である。

【0013】ステップ210は前記ステップ203に対して、抽出対象が E M I 解析対象となるトランジスタ素子や各種配線寄生素子から、電源及びグランド配線の寄生素子（抵抗、デカップリング容量等）に代わる点異なるのみであるため説明を省略する。尚、本ステップにより電源（及びグランド）配線ネットリスト211が生成される。

【0014】ステップ212では前記ステップ208より生成された電流源素子モデル情報209と前記ステップ210より生成された電源（及びグランド）配線ネットリスト211とワイヤやリードフレームのインピーダンス（抵抗、容量、インダクタンス）216が入力され、S P I C E に代表される過渡解析シミュレータを使用した解析により、解析対象回路の電源電圧変動を算出した電源電圧降下結果217が生成される。

【0015】この後、前記ステップ206の再処理を行う。その際に、前記ステップ206の最初の処理では電源（及びグランド）電位を変動の無い理想電位と仮定したのに対して、ここでは前記ステップ212より生成された電源電圧降下結果217が入力され、電源電圧変動を考慮に入れた各トランジスタ毎の電流波形情報207が再度生成される。同様に前記ステップ208、212の再処理が行われる。

【0016】この前記ステップ206、208、212のループ処理を複数回繰り返すことで、電源電圧変動をより高精度に再現させた電流波形結果213が生成される。ステップ214では前記ステップ212より生成された電流波形結果213が入力され、高速フーリエ変換（以下、F F T とする）を施すことにより、周波数スペクトラム解析を行なうことが可能となり、E M I 解析結果215を得ることが出来る。

【0017】この従来例では、L P E 処理203、電源配線 L P E 処理210及び電流源モデリング処理208の合わせ込みによって検証精度は大きく左右するものの、一定レベルの解析精度が期待できる。しかし、このようなトランジスタレベルの電流解析には S P I C E に代表される過渡解析シミュレータを使用するため、E M I 解析対象回路規模に制限があり処理時間も長大となる。半導体集積回路の大規模化が進んでいる近年、トランジスタレベルよりも抽象度が高く、高速解析が可能な E M I 解析方法の確立が望まれている。

【0018】そこで、高速化の可能な E M I 電流解析方法として、ゲートレベルの E M I 電流解析方法が提案されている。たとえばその1つとして、アイ・エス・ピー・デー&99第16ページ乃至第21ページ（E M I - N O I S E A N A L Y S I S U N D E R A S I C D E S I G N S E N V I R O N M E N T ' I S P D & 9 9 ） に掲載されたエイ・エス・アイ・シーデザイン環境における E M I - ノイズ解析がある。この技術では、テストベ

クタを用いたゲートレベルシミュレーション結果からイベントを取得、電流波形推定を行いFFTを行って周波数解析を行うようにしている。すなわち、図3に示すようにベリログネットリスト (VerilogNetlist) 301と、テストベクタ302とから論理シミュレーション303を行い、これによって算出されたイベントデータ304と、トグル時の波形情報306とから、波形推定ステップ305を実行し、この波形推定ステップから得られた推定電流波形307を、FFT処理し周波数特性を得るようにしている。この方法では従来のトランジスタレベルのEMI解析に比べて、高速化をはかることができる。

【0019】しかしながら一般的には論理シミュレータにおいては電源・グラウンドを変動の無い理想電位として扱うため、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの影響を電源電流計算に反映することができない。もし、デカップリングの影響を考慮するならば、抵抗、容量、インダクタンスといった寄生素子を含む電源及びグラウンドのネットワークと論理シミュレーションにより求めた各素子の電流値を過渡解析する必要があり、処理に要する時間が激増する。

【0020】しかも、チップの大規模化と素子数の増加により電源線のネットワークが大規模化しており、処理時間増大は不要輻射解析上大きな障害となりつつある。処理時間短縮のため、これら電源線の抵抗・容量に対するリダクション手段も提案もされているが、電源線が格子構造となるようなゲートアレイに限定される。

【0021】また、電源電流値をFFTすることでEMI解析したとしても、FFT特性を設計者が判断するものとなっている。この手段では原因個所の特定に非常に時間がかかってしまうか、または不可能であり、また解析情報として、それを直接修正に反映させるものとしては、不十分であるという問題もある。

【0022】以上説明した通り、従来のLSIの不要輻射解析方法は、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの考慮と高速処理の両立という観点、不要輻射解析結果の設計への迅速な反映という観点において十分とは言えないものであった。

【0023】

【発明が解決しようとする課題】このように、トランジスタレベルの電流解析手法を用いた従来例では、一定レベルの解析精度が期待できるものの、トランジスタレベルの電流解析にはSPICEに代表される過渡解析シミュレータを使用するため、解析対象回路規模に制限があり処理時間も長大となる。半導体集積回路の大規模化が進んでいる近年、トランジスタレベルよりも抽象度が高く、高速解析が可能であるゲートレベルの電流解析手法を利用したEMI解析方法の確立が望まれる。

【0024】一方、ゲートレベル電流解析手法も提案されているが、電源及びグラウンドを変動の無い理想電位で

扱えばデカップリング効果を考慮できず、またデカップリングを考慮するために寄生素子を含む電源及びグラウンドネットワークを過渡解析すれば解析時間が増大するという問題があった。

【0025】また、EMI解析したとしても、その主たる原因がどの回路にあるのかが不明であり、EMI改善のためにどの回路を修正することが有効であるのかが分からないという問題もある。

【0026】本発明は、前記実情に鑑みてなされたもので、高速解析しつつも、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの影響を電源電流計算に反映することで、シミュレーション上においてLSIの不要輻射を現実的な時間で評価することのできる不要輻射解析方法および装置を提供することを目的とする。

【0027】また、EMI発生個所の特定を可能にし、効率的な対策を行うことを目的とする。

【0028】

【課題を解決するための手段】1) LSIの不要輻射解析における解析機能

本発明の第1では、論理シミュレーションの実行によってLSIの不要輻射量を解析する方法であって、周波数帯毎に、FFT解析離散幅を割り当て、モデル化する工程と、前記モデル化する工程によって算出された電流変化情報を高速フーリエ変換処理する工程とを含むことを特徴とする。

【0029】本発明の第2では、LSIの不要輻射の解析に際し、FFT解析の離散幅を変更する周波数帯を指定する離散幅変更周波数指定手段を有し、前記指定された周波数帯と前記周波数帯以外の周波数帯のFFT解析離散幅に異なる値を用いてFFT解析を行う手段を有することを特徴とする。上記構成によれば、電流周波数成分が大きくなる周波数の精度を保ちながら高速かつ少メモリでFFT結果を得ることが出来る。したがって、特にノイズの影響が周期的な繰り返しで決まってくるような同期回路に対しては高精度の解析結果を得ることができる。

【0030】本発明の第3では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、不要輻射解析対象回路の各時刻の電流計算と同時に電流周波数成分の計算を行なう工程を有することを特徴とする。上記構成によれば、時間は従来例よりも多くかかるが、電流計算バッファに必要となるメモリを節約できるという効果が得られる。

【0031】本発明の第4では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、解析対象の時間範囲未満の時間間隔について、前記時間間隔の電流計算を行うごとに前記時間間隔の電流周波数成分の算出を行い、前記電流周波数成分をもとに全解析対象の時間範囲の電流周波数成分を計算する工程を含むこ

とを特徴とする。上記構成によれば、処理速度を落とすことなく、電流計算バッファに必要となるメモリを節約することが出来、全周波数帯域での周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果を得ることが出来るとともに、あらかじめ電流計算バッファに必要となるメモリが予測できるので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度かつ安定動作となるという効果が得られる。この方法は前記第1の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

【0032】本発明の第5では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、電流周波数成分を演算し記憶する電流周波数記憶工程と、算出された電流周波数成分があらかじめ定めた閾値を超えるかどうかを判定し、この閾値に満たない電流周波数成分値は前記電流周波数成分記憶工程では記憶対象からはずすようにした判定工程を含むことを特徴とする。上記構成によれば、より少メモリでFFT結果を得ることが出来、特に電流周波数成分の高い周波数が限られてくる回路でのメモリ節約率が高くなるという効果を奏効する。この方法は前記第1、第2、第3の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

【0033】本発明の第6では、論理シミュレーションの実行によって不要輻射量を解析する装置であって、電流周波数成分記憶工程と、電流周波数成分値を大きいものからあらかじめ定めた個数分のみ算出して前記電流周波数成分記憶手段に記憶する電流周波数成分計算工程とを有することを特徴とする。上記構成によれば、より少メモリでFFT結果を得ることが出来、またあらかじめFFT結果情報に必要となるメモリを予測することが出来るので、特に電流周波数成分の高い周波数の数を限定できる回路において安定動作となるという効果が得られる。この方法は前記第1、第2、第3、第4の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

【0034】本発明の第7では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網中のあらかじめ指定した回路部分のみの電流周波数成分を計算するようにしたことを特徴とする。上記構成によれば、より高速となり、かつ原因個所の推定が容易となるという効果が得られる。この方法は前記第1、第2、第3、第4、第5、第6の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0035】本発明の第8では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の1つ以上の回路部分について、電流量があらかじめ定めた閾値を超えると推定される前記回路部分についてのみ電流周波数成分を計算する工程を含むことを

特徴とする。上記構成によれば、電流計算やFFTを省略出来、高速化をはかることができるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となるという効果を得ることが出来る。この方法は前記第1、第2、第3、第4、第5、第6、第7の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0036】本発明の第9では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の2つ以上の回路部分について、電流量の推定値が大きいものからあらかじめ定めた個数分の回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。上記構成によれば、電流計算やFFTをさらに省略することが出来、高速となるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。またあらかじめ電流計算に必要となるメモリを予測出来るので、特に電流量の高い回路素子の数を限定することができる回路において安定動作となるという効果が得られる。この方法は前記第1、第2、第3、第4、第5、第6、第7、第8の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0037】本発明の第10では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の1つ以上の回路部分について、論理変化回数があらかじめ定めた閾値を超える前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。上記構成によれば、論理変化計算の段階で計算量節約を決定することが出来る。従って、電流計算やFFTが省略され高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定することができ、原因個所推定が容易となるという効果が得られる。この方法は前記第1、第2、第3、第4、第5、第6、第7、第8、第9の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0038】本発明の第11では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、対象回路網の1つ以上の回路部分について、論理変化回数が多いものからあらかじめ定めた個数分の前記回路部分についてのみ電流周波数成分を計算する工程を含むことを特徴とする。上記構成によれば、論理変化計算の段階で計算量節約を決定することが出来、電流計算やFFTを省略し高速化をはかることができる。また、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。またあらかじめ電流計算に必要となるメモリを予測出来るので、特に論理変化数の高い回路素子の数を限定できる回路において安定動作が可能となるという効果が得られる。この方法は第1、第2、第

3、第4、第5、第6、第7、第8、第9、第10の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因箇所推定を容易とすることが可能となる。

【0039】本発明の第12では、論理シミュレーションの実行によって不要輻射量を解析する方法であって、回路網の情報から対象回路網の論理変化回数を推定する工程と、対象回路網の1つ以上の回路部分について、論理変化回数に基づき決定された回路部分についてのみ電流周波数成分を計算する工程とを有することを特徴とする。上記構成によれば、論理変化計算以前の段階で計算量節約を決定することが出来、論理変化計算や電流計算やFFTを省略し高速となるとともに、論理変化数の大きなノイズ原因となる箇所を限定でき、原因箇所推定を容易とするという効果が得られる。この方法は前記第1、第2、第3、第4、第5、第6、第7、第8の方法と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因箇所推定を容易とすることが可能となる。

【0040】2) LSIの不要輻射解析におけるユーザインターフェース

本発明の第13では、論理シミュレーションの実行によって不要輻射量を解析する装置において、ユーザインターフェースとして、各インスタンスごとの電流波形に対してFFTを行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス名を特定する手段を有することを特徴とする。上記構成によれば、ノイズに影響する箇所を回路素子単位のインスタンスで特定することが可能となるという効果を得ることができ

【0041】本発明の第14では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、1つ以上のインスタンスを単位としたインスタンス群の電流波形に対してFFTを行った結果より、ノイズの大きな各周波数成分毎にその主原因となる前記インスタンス群を特定する手段を有することを特徴とする。上記構成によれば、ノイズに影響する箇所を2つ以上のインスタンスを単位とするブロック単位で特定するもので、前記第13のノイズの大きな各周波数成分毎にその主原因となる前記インスタンス名を特定する前段階でトップダウンでマクロ的に問題箇所を高速に特定することが可能となるという効果が得られる。

【0042】本発明の第15では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、インスタンスをライブラリに書かれたフラグ情報に従ってグルーピングする手段、または、レジスタ・組み合わせ回路・メモリ等のインスタンス群ごとにグルーピングする手段を有することを特徴とする。上記構成によれば、ノイズに影響

する箇所をレジスタ・組み合わせ回路・メモリ等のインスタンス群ごとに特定する手段を有するもので、設計者がアーキテクチャーレベルでの改善をする上で必要な情報を提供できるという効果が得られる。

【0043】本発明の第16では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、インスタンスを各クロック入力端子に接続されるクロックツリーに属するか否かに従ってグルーピングする手段を有することを特徴とする。上記構成によれば、ノイズに影響する箇所をクロックツリー群ごとに特定する手段を有するもので、電力に大きく影響するクロック部でのノイズの影響を見ることができ、設計者がクロック制御による改善を図るのに有効であるという効果が得られる。

【0044】本発明の第17では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、インスタンスを同時にしくはある時間間隔内に変化するタイミングを識別した結果に基づきグルーピングする手段を有することを特徴とする。上記の構成によれば、ノイズに影響する箇所を、同時変化(ある時間間隔内に変化)するインスタンス群ごとに特定する手段を有するもので、信号同時変化箇所でのノイズの影響を見ることができ、設計者が信号制御関連の改善を図るのに有効である。

【0045】本発明の第18では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、前記第15乃至第17でグループ化したグループ情報から、ノイズの大きな各周波数成分毎にその主原因となるインスタンス名を特定する情報、及びそのノイズレベルの情報をレポートする手段を有することを特徴とする。上記構成によれば、ノイズに影響する箇所を2つ以上のインスタンスで構成されるブロック単位ではなく、各インスタンスレベルで特定することが可能となる。

【0046】(実施例14ではレジスタ・組み合わせ回路・メモリブロック内の箇所、実施例15ではクロック入力端子からたどって判別したクロックツリー内の箇所、の実施例16ではノイズに影響する同時変化箇所の特定がそれぞれインスタンスレベルで可能となる。)

【0047】また、各電流周波数成分のノイズの大きな箇所をネットリストに対応させて表示させることも可能であり、ネットリスト情報を、対応するレイアウト情報に置きかえることによってレイアウト上の位置情報に対応させて表示させることもできるという効果が得られる。

【0048】本発明の第19では、論理シミュレーションの実行によって不要輻射量を解析する解析装置において、ユーザインターフェースとして、あらかじめ決めておいた周波数についてのみFFTを行う手段を有することを特徴とする。上記構成によれば、特定の周波数に対

してより高速に、特定周波数に影響するノイズ原因箇所を特定することが可能となる。また、一旦一チップFFT解析を行った後の原因特定段階等のように、解析したい周波数が予め決まっている場合等に有効である。

【0049】3) LSIの不要輻射解析における電源線考慮方法

本発明の第20では、論理シミュレーションの実行によって不要輻射量を解析する方法において、レイアウトデータからLPEを行い求めたチップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに前記補正係数を用いて補正処理を加える工程からなる電流波形補正工程を含むことを特徴とする。上記構成によれば、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリングの影響を電源電流値に反映させることができるという効果を得ることができる。

【0050】本発明の第21では、前記請求項19の方法において、前記補正係数算出工程が、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておくテーブルによって処理し補正係数を算出する工程を含むことを特徴とする。上記構成によれば、事前にテーブルを算出しておくことで、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリングの影響を電源電流値に反映させることができるという効果を得られる。

【0051】本発明の第22では、請求項第20の方法において、前記補正係数算出工程が、チップの電源回路の抵抗および容量の情報からチップ全体の等価抵抗と等価容量を算出し、あらかじめ用意しておいた数式によって処理し補正係数を算出する工程を含むことを特徴とする。上記構成によれば、事前に統計処理により数式を算出しておくことで、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリングの影響を電源電流値に反映させることができるという効果を得ることができる。なお、情報の特質により数式とテーブルを使い分けることで、処理時間やデータ量の最適化が可能であるという効果を奏効する。

【0052】本発明の第23は、前記請求項20において、前記電流波形補正工程が、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正を加える工程を含むことを特徴とする。上記構成によれば、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正をおこない、電流波形の底辺を最適化することで、電源RC成分の影響による瞬時電流のなまりを電源電流波形に反映させることができる。

【0053】本発明の第24の発明は、前記請求項20において、前記電流波形補正処理工程が、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正を加える工程を含むことを特徴とする。上記構成によ

れば、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正をおこない、電流波形の面積を最適化することで、電源RC成分の影響による電源電圧降下(IR-Drop)の影響を電源電流波形に反映させることができる。

【0054】本発明の第25は、前記請求項20の方法において、補正係数算出工程が、電源回路の形状情報を利用して電源回路の抵抗情報からチップの等価抵抗を推定し、補正係数の算出工程を高速に行う工程を含むことを特徴とする。上記構成によれば、チップの電源回路の等価抵抗を算出する際に複雑な電源抵抗の回路網を解く必要がないため、精度は低下するものの、より高速なEMI解析の実現が可能となるという効果が得られる。

【0055】本発明の第26は、論理シミュレーションの実行によって不要輻射量を解析する方法において、フロアプランの段階で、チップの電源回路の等価抵抗および等価容量を推定する工程と、前記等価抵抗および等価容量情報から補正係数を算出する工程と、理想電源としてあらかじめ求めた推定電流波形のイベント単位モデルに補正処理を加える工程を有することを特徴とする。上記構成によれば、レイアウトの完成を待たず、早期設計段階において電源線の影響を電源電流値に反映させることができるという効果が得られる。

【0056】本発明の第27では、前記請求項26の方法において、電源回路の等価抵抗・等価容量推定工程がチップ面積を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。上記構成によれば、チップ面積情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現できるという効果を得ることができる。

【0057】本発明の第28は、前記請求項26の方法において、電源回路の等価抵抗・等価容量推定工程が、さらにテクノロジー情報を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。上記構成によれば、テクノロジー情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析を実現することができ、またテクノロジーごとにデータベースを用意する必要がないメリットもある。

【0058】本発明の第29は、前記請求項27の方法において、電源回路の等価抵抗・等価容量推定工程がさらに、チップ形状および電源パッドの位置を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。上記構成によれば、チップ形状および電源パッドの位置情報を用いることで、早期設計段階においてさらに高精度に電源線の影響を考慮したEMI解析が実現できるという効果を得ることができる。

【0059】本発明の第30は、前記請求項27の方法において、電源回路の等価抵抗・等価容量推定工程がさらに、電源パッド数を考慮して電源回路の抵抗および容量を推定することを特徴とする。上記構成によれば、電

源パッド数情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、また電源パッド数のEMIに対する最適化をフロアプランの段階で行うことが可能となる。

【0060】本発明の第31は、前記請求項27の方法において、電源回路の等価抵抗・等価容量推定工程が、チップを構成する電源配線の幅情報を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。上記構成によれば、チップを構成する電源配線の幅情報をを用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、また電源配線幅のEMIに対する最適化をフロアプランの段階で行うことが可能となるという効果が得られる。

【0061】本発明の第32は、前記請求項26の方法において、電源回路の等価抵抗・等価容量推定工程として、さらに電源配線下の容量生成領域を考慮して電源回路の抵抗および容量を推定する工程を含むことを特徴とする。上記構成によれば、電源配線下の容量生成領域情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、また容量生成のEMIに対する最適化をフロアプランの段階で行うことが可能となるという効果を得ることができる。

【0062】本発明の第33は、ポストレイアウト不要輻射解析におけるモジュール毎の電源線考慮方法として、前記請求項20、請求項21乃至請求項25の電流波形補正工程において、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことを特徴とする。上記構成によれば、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、早期設計の各種段階において予測されるデカップリング容量を含む電源線の影響を電源電流値に反映させることができる。また、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができる。さらにまた、モジュールごとにFFT解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶しFFT解析に用いることで、高精度なモジュールごとのEMI解析が実現可能となるという効果を得ることができる。

【0063】本発明の第34は、ブリレイアウト不要輻射解析におけるモジュール毎の電源線考慮方法として、前記請求項26から請求項32において、電流波形補正工程が、チップ全体の等価抵抗および等価容量に代わり、チップを構成する各モジュールの位置情報および各モジュールの種類情報を考慮してモジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれ

ぞれ補正係数を算出することで、工程を含むことを特徴とする。上記構成によれば、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことが可能となるという効果が得られる。

【0064】本発明の第35は、前記請求項26から請求項32および請求項34の不要輻射解析方法に対し、前記請求項21から請求項24の電流波形補正手段を取ることを特徴とする。上記の構成によれば、ブリレイアウトの段階で、各種電源電流波形の補正をおこなうことができるという効果が得られる。

【0065】本発明の第36は、不要輻射解析における電源線のインダクタンス成分考慮方法として、前記請求項20から請求項35の方法において、チップのパッケージ情報から電源リード部および電源ワイヤボンディング部に相当するインダクタンス成分を算出し、抵抗、容量に加え、第三の要素とすることを特徴とする。上記の構成によれば、チップのパッケージのインダクタンス成分を考慮した高精度な電流補正が可能となるという効果が得られる。

【0066】本発明の第37は、不要輻射解析における理想電源の電流波形に対する電源線考慮方法として前記請求項20から請求項36において、前記電流波形補正工程が、推定電流波形のイベント単位モデルに対して補正する手法に代わり、理想電源として求めたEMI解析対象の電流波形に対して補正を行う工程を含むことを特徴とする。上記構成によれば、理想電源として求めたチップまたはモジュールの電源電流波形に補正を行うため、チップまたはモジュールの電源電流を算出する段階まで処理を進めることが可能となり、レイアウト完成前あるいはフロアプラン工程前に作業を進めることでEMI解析全体の短TAT化が実現可能となる。また、トランジスタレベルでのEMI解析においても、電流波形の補正をおこない電源線の影響を考慮するという手法を使うことが可能である。

【0067】

【発明の実施の形態】以下、本発明に係る不要輻射解析方法の実施形態について説明する。図1は、本発明に係る不要輻射解析方法を実施するための不要輻射解析装置の一実施例を示す図である。この不要輻射解析装置は、電源を考慮した演算に関わる各構成要素の各ステップの処理を行うための電源考慮演算部101と、周波数変換FFTに関わる各構成要素の各ステップの処理を行うためのFFT演算部106と、ユーザインターフェースの演算に関わる各構成要素の各ステップの処理を行うための入出力演算部107と、キーボード等の入力装置103と、メモリ装置やディスク装置等の外部記憶装置104と、ディスプレイ等の出力装置105等を備えたコンピュータシステムとを具備してなるものである。電源考慮演算部101と、FFT演算部106と、入出力演算部107は単独で使用することも、あるいは相互連

携しながら使用することも、あるいは本発明記載以外の演算部の内容と組み合わせ使用することも可能である。

【0068】FFT演算部104においては、対象の回路網に関して、後述の電源電流値を計算したり、FFT演算を行ったりし、電源電流の変動により発生する不要輻射のノイズ量（電流周波数成分）を計算する。電源考慮演算部101は、FFT演算部104について計算された電源電流値やFFT結果に対して電源配線の抵抗や容量やリアクタンスの影響を加味して補正を行う。入出力演算部107はFFT演算部104の計算したFFT結果に対して、不要輻射解析を容易にするように変換を行う。

【0069】（第1の実施の形態）従来のLSIにおけるEMI解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、FFTの解析幅が均一であるため、情報を記憶するためのメモリ、解析にかかる時間が余計にかかるという問題があった。そこで、均一な解析幅で行われていた周波数解析を、本実施例では、あらかじめ用意し、ピークの前測される周波数の解析結果を詳細に、それ以外を粗く解析する手法を用いるようにしたことを特徴とする。

【0070】図6に本発明の一実施例に関わる不要輻射解析方法の構成を示す。同図に示す不要輻射解析方法は、詳細周波数記憶手段601と、電源電流情報記憶手段602と、FFT解析手段603と、FFT結果記憶手段604とからなる。

【0071】これらのうち、詳細周波数記憶手段601と、電源電流情報記憶手段602と、FFT結果記憶手段604とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0072】一方、FFT解析手段603は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0073】次に、これらの図6の不要輻射解析方法を構成する個々の要素について説明するとともに、図7に示す詳細周波数情報と、図8に示す電源電流情報とを用いて不要輻射を解析する手順を説明する。

【0074】詳細周波数記憶手段601は、詳細に解析したい1つ以上の周波数の範囲の情報であって、あらかじめ図7に示すような詳細周波数情報を記憶している。

【0075】この詳細周波数情報は、開始周波数701と終了周波数702とからなる詳細に解析を行う1つ以上の周波数範囲の情報から構成されている。この例では、45MHzから55MHzの範囲と、95MHzから105MHzの範囲を通常の周波数離散幅5MHzで解析し、それ以外の範囲0MHzから45MHz、55MHzから95MHz、105MHz以上を粗い解析周

波数離散幅25MHzで解析することを示している。同期回路においては、特に詳細に解析しなければならない、電流周波数成分が大きくなる周波数が、クロック周波数の倍数で決まってくるので、この周波数近辺を指定する。

【0076】電源電流情報記憶手段602は、あらかじめ図8に示すようなトランジスタシミュレータ等で推定したEMI解析対象回路の電源電流情報を記憶している。この電源電流情報は、各時刻801と電源電流値802とからなる対象回路の1つ以上の電源電流変化情報から構成されている。この例では、時刻0nsから95nsまでは電流0mA、時刻95nsから100nsまでは20mAといった電流の変化を離散的に推定した結果を示している。

【0077】FFT結果記憶手段604は、図9に示すようなFFT解析手段603で計算されたFFT結果情報を記憶するものである。このFFT結果情報は、各周波数901と電流周波数成分値902とからなる対象回路の1つ以上のFFT結果情報から構成されている。この例では、0MHzの電流周波数成分値が10mA、25MHzの電流周波数成分値が1mAといった、離散的な周波数における電流周波数成分値を示している。

【0078】FFT解析手段603は、図10に示すようなフローチャートに従って解析操作を実行する。ステップ1001で詳細周波数記憶手段601に記憶された図7に示す詳細周波数情報を読みこむ。ステップ1002で電源電流情報記憶手段602に記憶された図8に示す電源電流情報を読みこむ。ステップ1003で、図7に示した詳細周波数情報の範囲であれば、あらかじめ定めた通常の解析周波数離散幅5MHzで、それ以外は粗い解析周波数離散幅25MHzで周波数解析を行う。ステップ1004で、図9に示したFFT結果をFFT結果記憶手段604に記憶する。

【0079】これにより、図9に示すような、45MHzから55MHzの範囲と、95MHzから105MHzの範囲を通常の周波数離散幅5MHzで解析し、それ以外の範囲0MHzから45MHz、55MHzから95MHz、105MHz以上を粗い解析周波数離散幅25MHzで解析されたFFT結果が得られる。

【0080】図4に示す従来手法では、詳細周波数記憶手段が無く、FFT解析は通常の離散幅5MHzで均一に行ってきた。図8に示す同じ電源電流情報を用いた場合、FFT結果は図5に示すように大きなメモリを占有し、またFFTを行うための計算量も増える。

【0081】本実施例に示した方法では、ノイズに影響する周波数である詳細周波数以外の周波数に関する周波数解析に関する解析点数を減らし演算量を節約することにより、電流周波数成分が大きくなる周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果が得ることが出来、特にノイズの影響が周期的な繰り返し

で決まってくる同期回路で高精度となる。

【0082】(第2の実施の形態)従来のLSIにおけるEMI解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、この場合、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリ、解析にかかる時間が余計にかかるという問題があった。

【0083】そこで本実施例では、この問題を解決するため、周波数解析を電流計算とともに逐次解析する手法を用いる。図11に本発明の一実施例に関わる不要輻射解析方法に用いられる装置構成を示す。この不要輻射解析装置は、ネットリスト記憶手段1101と、テストベクタ記憶手段1102と、電流FFT解析手段1103と、FFT結果記憶手段1104とからなる。

【0084】これらのうち、ネットリスト記憶手段1101と、テストベクタ記憶手段1102と、FFT結果記憶手段1104とは前述のコンピュータシステムの外部記憶装置に割り当てられている。一方、電流FFT解析手段1103は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0085】次に、これらの図11の不要輻射解析方法を構成する個々の要素について説明するとともに、図12に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。ネットリスト記憶手段1101は、あらかじめ図12に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

【0086】このネットリスト情報は、1つ以上の回路素子と配線と外部端子の接続情報と各回路素子が駆動した時の電流の情報から構成されている。この例では、立ち上がり時4mA、立下り時6mA流れるバッファBUF1、BUF2、BUF3、BUF4、BUF5と外部入力端子A、外部出力端子Y1、Y2、Y3とそれぞれを接続する配線からネットリストが構成されている。テストベクタ記憶手段1102は、あらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。

【0087】このテストベクタ情報は、各時刻1301と、入力する外部入力端子名1302と、各時刻における対象回路の外部端子の電圧情報1303から構成されている。この例では、時刻0nsから90nsにおいて外部入力端子Aに電圧値0Vをかけ、90nsから190nsまで外部入力端子Aに電圧値2.5Vをかけるといった電圧の変化を離散的に指定したものを示している。

【0088】FFT結果記憶手段1104は、第1の実施の形態に示した従来例と同様に図5に示すような電流FFT解析手段1103で計算されたFFT結果情報を

記憶するものである。このFFT結果情報は、各周波数501と電流周波数成分値502とからなる対象回路の1つ以上のFFT結果情報から構成されている。

【0089】この例では、0MHzの電流周波数成分値が10mA、5MHzの電流周波数成分値が1mAといった、離散的な周波数における電流周波数成分値を示している。電流FFT解析手段1103は、図15に示すようなフローチャートに従って解析操作を実行する。

【0090】まず、ステップ1501でネットリスト記憶手段1101に記憶された図12に示すネットリスト情報を読みこむ。次いで、ステップ1502でテストベクタ記憶手段1102に記憶された図13に示すテストベクタ情報を読みこむ。

【0091】このうち、ステップ1503で、テストベクタ情報の最初の時刻(現時刻と記す)を選択する。そして、ステップ1504からステップ1506まではテストベクタに記載された最終時刻を処理し終わるまで繰り返される。さらに、ステップ1504で、現時刻の電圧値をネットリストの外部端子に印加した影響で回路網に流れる電源電流の時間的な変化 $i(t)$ を計算する。

【0092】このうち、ステップ1505で、ステップ1504で計算された電源電流値 $i(t)$ の各電流周波数成分 $i(t) \times \sin(\omega t)$ を計算し、FFT結果記憶情報に記憶する。最後に、ステップ1506で、現時刻がテストベクタの最終時刻かどうかを判断し、最終時刻でなければステップ1504に戻り、最終時刻であれば終了する。

【0093】この手順では、電流を計算するとともに逐次計算された電流の各周波数成分を計算することとなるので、図4の従来例の結果図5と同じ結果でありながら、FFTを解析する過程で必要となる解析時間内の電流変化を記憶する電源電流情報記憶手段402が不要となる。

【0094】ただし、周波数成分を計算する方法としては、FFTと異なり、 $i(t) \times \sin(\omega t)$ を用いた演算量は増えるので、処理速度自体は若干低下する。以上の方法により、電源電流を計算するとともに電流周波数成分を計算することにより、時間は従来例よりもかかるが、電流計算バッファに必要なメモリを節約することが出来る。

【0095】(第3の実施の形態)従来のLSIにおけるEMI解析方法では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析時間全体に付いて一度に解析した電流の変化をFFT解析することにより求めていたが、この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが必要になるという問題があった。

【0096】そこで本実施例では、この問題を解決するため、周波数解析を電流計算とともにある区間ごとに解析する手法を用いる。

【0097】図16に本発明の一実施例に関わる不要輻射解析方法で用いられる装置構成を示す。

【0098】同図に示す不要輻射解析装置は、ネットリスト記憶手段1601と、テストベクタ記憶手段1602と、電流FFT解析手段1603と、FFT結果記憶手段1604とからなる。これらのうち、ネットリスト記憶手段1601と、テストベクタ記憶手段1602と、FFT結果記憶手段1604とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0099】一方、電流FFT解析手段1603は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0100】次に、これらの図16の不要輻射解析方法を構成する個々の要素について説明するとともに、図12に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。ネットリスト記憶手段1101は、第2の実施の形態と同様にあらかじめ図12に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。テストベクタ記憶手段1602は、第2の実施の形態と同様にあらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。電流値記憶手段1605は、図17に示すような電流FFT解析手段1603で計算された電源電流情報を記憶するものである。この電源電流情報は、あらかじめ定めた時間幅200nsごとの各時刻1701と電流値1702とからなる対象回路の1つ以上の電源電流情報から構成されている。0nsから200nsまでは1703、200nsから400nsまでは1704、400ns以降は1705で示された電源電流情報を記憶する。FFT結果記憶手段1604は、第2の実施の形態と同様に図5に示すような電流FFT解析手段1603で計算されたFFT結果情報を記憶するものである。

【0101】電流FFT解析手段1603は、図18に示すようなフローチャートに従って解析操作を実行する。まず、ステップ1801でネットリスト記憶手段1601に記憶された図12に示すネットリスト情報を読みこむ。次に、ステップ1802でテストベクタ記憶手段1602に記憶された図13に示すテストベクタ情報を読みこむ。さらに、ステップ1803で、テストベクタ情報の最初の時刻（現時刻と記す）を選択する。そして、ステップ1804からステップ1808まではあらかじめ定めた時間間隔を処理し終わるまで繰り返される。この後、ステップ1804で、現時刻が前回周波数解析を行った時からあらかじめ定めた時間間隔を超えているかどうかを判断し、超えていればステップ1807に進む。さらに、ステップ1805で、現時刻の電圧値をネットリストの外部端子に印加した影響で回路網に流れる電源電流の時間的な変化を計算する。また、ステッ

プ1806で、現時刻がテストベクタの最終時刻かどうかを判断し、最終時刻でなければステップ1804に戻り、最終時刻であればステップ1807に進む。そして、ステップ1807で、あらかじめ定めた時間間隔の電流値に対してFFTを行い、FFT結果情報に加算して記憶する。この後、ステップ1808で、現時刻がテストベクタの最終時刻かどうかを判断し、最終時刻でなければステップ1804に戻り、最終時刻であれば終了する。すなわち、従来例のように全時刻で電流を全て計算してからFFTを行うのではなく、200nsずつ電流計算を行うごとに、FFT結果を行った結果を足し合わせる方法を用い、従来例と同様のFFT結果を算出する。

【0102】図17で示す電源電流情報を0nsから200nsまでは1703、200nsから400nsまでは1704、400ns以降は1705で示す形で計算し、その各々で計算されたFFT結果を随時加算した結果、図5で示すFFT結果が得られる。

【0103】以上の方法により、電源電流をあらかじめ定めた時間間隔で計算するごとに電流周波数成分を計算することにより、処理速度を低下することなく、電流計算バッファに必要となるメモリを節約することが出来、全周波数帯域での周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果を得ることが出来るとともに、あらかじめ電流計算バッファに必要となるメモリが予測できるので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度かつ安定動作となる。

【0104】この方法は第1の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

【0105】（第4の実施の形態）従来のLSIにおけるEMI解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていた。この方法では、あらかじめ決めたFFTの離散値ごとの全ての電流周波数成分値を保存するため、情報を記憶するためのメモリが余計にかかるという問題があった。

【0106】そこで本実施例では、この問題を解決するため、周波数解析において、電流周波数成分値が閾値を超える値のみを記憶する手法を用いる。図19に本発明の一実施例に関わる不要輻射解析方法で用いられる装置構成を示す。同図に示す不要輻射解析装置は、電源電流情報記憶手段1905と、FFT解析手段1903と、FFT結果記憶手段1904とからなる。

【0107】これらのうち、電源電流情報記憶手段1905と、FFT結果記憶手段1904とは前述のコンピュータシステムの外部記憶装置に割り当てられている。一方、FFT解析手段1903は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステッ

ブを持つプログラム群として記憶されている。

【0108】次に、これらの図19の不要輻射解析方法を構成する個々の要素について説明するとともに、図8に示す電源電流情報を用いて不要輻射を解析する手順を説明する。電源電流情報記憶手段1905は、第1の実施の形態と同様にあらかじめ図8に示すようなトランジスタシミュレータ等で推定したEMI解析対象回路の電源電流情報を記憶している。

【0109】この電源電流情報は、各時刻801と電源電流値802とからなる対象回路の1つ以上の電源電流変化情報から構成されている。FFT結果記憶手段1904は、図20に示すような電流FFT解析手段1903で計算されたFFT結果情報を記憶するものである。

【0110】このFFT結果情報は、電流周波数成分値が閾値を超える各周波数2001と電流周波数成分値2002とからなる対象回路の1つ以上のFFT結果情報から構成されている。この例では、閾値10mAを超えたものとして0MHzの電流周波数成分値が10mA、45MHzの電流周波数成分値が30mAといった、離散的な周波数における電流周波数成分値を示しており、第1の実施の形態の図9に示すようなFFT解析結果に含まれる25MHzの電流周波数成分値が1mAといった10mA未満の情報は除かれている。

【0111】電流FFT解析手段1903は、図21に示すようなフローチャートに従って解析操作を実行する。まず、ステップ2101で電源電流情報記憶手段1601に記憶された図12に示すネットリスト情報を読みこむ。

【0112】次いで、ステップ2102で、電源電流情報に対してFFTを行い、あらかじめ定めた閾値10mAを超えたもののみFFT結果情報に記憶する。すなわち、従来例のように全てのFFT解析結果を出力するのではなく、あらかじめ定めた閾値10mAを超えたもののみ出力している。

【0113】以上の方法により、閾値を超えた電流周波数成分のみを計算することにより、従来例よりも少メモリでFFT結果を得ることが出来、特に電流周波数成分の高い周波数が限られてくる回路でのメモリ節約率が高くなる。この方法は第1、第2、第3の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

【0114】(第5の実施の形態) 従来のLSIにおけるEMI解析では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、この方法では、あらかじめ決めたFFTの離散値ごとの全ての電流周波数成分値を保存するため、情報を記憶するためのメモリが余計にかかるという問題があった。

【0115】そこで、本実施例では、この問題を解決するため、周波数解析において、電流周波数成分値が値の

大きいものからあらかじめ定めた個数分のみを記憶する手法を用いる。図22に本発明の一実施例に関わる不要輻射解析方法で用いられる装置構成を示す。

【0116】同図に示す不要輻射解析装置は、電源電流情報記憶手段2205と、FFT解析手段2203と、FFT結果記憶手段2204とからなる。これらのうち、電源電流情報記憶手段2205と、FFT結果記憶手段2204とは前述のコンピュータシステムの外部記憶装置に割り当てられている。FFT解析手段2203は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0117】次に、これらの図22の不要輻射解析方法を構成する個々の要素について説明するとともに、図8に示す電源電流情報を用いて不要輻射を解析する手順を説明する。電源電流情報記憶手段2205は、第1の実施の形態と同様にあらかじめ図8に示すようなトランジスタシミュレータ等で推定したEMI解析対象回路の電源電流情報を記憶している。この電源電流情報は、各時刻801と電源電流値802とからなる対象回路の1つ以上の電源電流変化情報から構成されている。

【0118】FFT結果記憶手段2204は、図23に示すような電流FFT解析手段2203で計算されたFFT結果情報を記憶するものである。このFFT結果情報は、電流周波数成分値が閾値を超える各周波数2301と電流周波数成分値2302とからなる対象回路の1つ以上のFFT結果情報から構成されている。

【0119】この例では、電流周波数成分値が大きいものから6個分として50MHzの電流周波数成分値が70mA、100MHzの電流周波数成分値が50mAといった、離散的な周波数における電流周波数成分値を示しており、第1の実施の形態の図9に示すようなFFT解析結果に含まれる25MHzの電流周波数成分値が1mAといった電流周波数成分値が大きいものから6個分以内に入らない情報は除かれている。

【0120】そして、電流FFT解析手段2203は、図24に示すようなフローチャートに従って解析操作を実行する。まず、ステップ2401で電源電流情報記憶手段1601に記憶された図12に示すネットリスト情報を読みこむ。ついで、ステップ2402で、電源電流情報に対してFFTを行い、電流周波数成分値が大きいものからあらかじめ定めた個数6個分のみFFT結果情報に記憶する。すなわち、従来例のように全てのFFT解析結果を出力するのではなく、あらかじめ定めた個数6個分のみ出力し、図23に示すFFT結果を得ることが出来る。

【0121】以上の方法により、記憶する個数を限定することにより、従来例よりも少メモリでFFT結果を得ることが出来、またあらかじめFFT結果情報に必要なメモリを予測出来るので、特に電流周波数成分の高

い周波数の数を限定できる回路において安定動作となる。この方法は第1、第2、第3、第4の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得ることが可能となる。

【0122】(第6の実施の形態) この実施例では、従来のLSIにおけるEMI解析における、解析対象の電流を測定するのみでEMIの原因となる個所を把握するための機能が十分でないという問題を解決すべく、EMI解析対象を限定して行う手法を用いている。図27に本発明の一実施例に関わる不要輻射解析方法に用いられる装置構成を示す。同図に示す不要輻射解析装置は、EMI解析対象記憶手段2705と、ネットリスト記憶手段2701と、テストベクタ記憶手段2702と、電流FFT解析手段2703と、FFT結果記憶手段2704とからなる。これらの装置のうち、ネットリスト記憶手段2701と、EMI解析対象記憶手段2705と、テストベクタ記憶手段2702と、FFT結果記憶手段2704とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0123】一方、電流FFT解析手段2703と、EMI解析対象限定手段27107とは前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。次に、これらの図27の不要輻射解析方法を構成する個々の要素について説明するとともに、図26に示すEMI解析対象情報と、図25に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

【0124】まず、ネットリスト記憶手段2701は、あらかじめ図25に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。このネットリスト情報は、1つ以上の回路素子と配線と外部端子の接続情報と各回路素子が駆動した時の電流の情報から構成されている。この例では、立ち上がり時4mA、立下り時6mA流れるバッファBUF1、BUF2、BUF3、BUF4、BUF5と立ち上がり時1mA、立下り時2mA流れるバッファBUF6と、外部入力端子A、外部出力端子Y1、Y2、Y3とそれぞれを接続する配線からネットリストが構成されている。

【0125】テストベクタ記憶手段2702は、第2の実施の形態と同様にあらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。EMI解析対象記憶手段2705は、図26に示すようなEMI解析対象限定手段27107で計算されたEMI解析対象を記憶するものである。このEMI解析対象情報は、EMI解析対象となる回路素子名から構成されている。なお、この回路素子名はブロック名などの複数の回路素子を示すものでも良い。

【0126】この例では、解析対象回路素子BUF1、BUF2、BUF3、BUF4、BUF5が記憶されて

いる。FFT結果記憶手段2704は、図14に示すような電流FFT解析手段2903で計算されたFFT結果情報を記憶するものである。このFFT結果情報は、回路素子BUF1、BUF2、BUF3、BUF4、BUF5の全電源電流に関する各周波数1401と電流周波数成分値1402とからなる対象回路の1つ以上のFFT結果情報から構成されている。

【0127】この例では、0MHzの電流周波数成分値が10mA、5MHzの電流周波数成分値が1mAといった、離散的な周波数における電流周波数成分値を示している。電流FFT解析手段2703は、図28に示すようなフローチャートでFFT解析を実行する。

【0128】まず、ステップ2801でネットリスト記憶手段2701に記憶された図12に示すネットリスト情報を読みこむ。ついで、ステップ2802でテストベクタ記憶手段2702に記憶された図13に示すテストベクタ情報を読みこむ。さらに、ステップ2803でEMI解析対象記憶手段2705に記憶された図26に示すEMI解析対象情報を読みこむ。

【0129】こののち、ステップ2803で、テストベクタに記載された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化 $i(t)$ を計算し、その結果に対してFFTを行いFFT結果記憶手段に記憶する。この例では、BUF1、BUF2、BUF3、BUF4、BUF5の5つの回路素子のみ電流を計算し、そのFFTのみ行うことで、FFT結果にあまり影響しないBUF6に関する電流計算とそのFFT計算の演算量を削減しながら、図14に示すようなFFT結果を得ることが出来る。また、原因個所がある程度予測がつく状態で、BUF1のみのFFT結果を行うことも可能である。

【0130】以上の方法により、不要輻射解析対象を限定して解析することにより、従来例よりも高速となり、かつ原因個所の推定を容易とする。この方法は第1、第2、第3、第4、第5の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0131】(第7の実施の形態) 従来のLSIにおけるEMI解析方法では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、この場合、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計にかかるという問題があった。

【0132】そこで本実施例では、この問題を解決するため、電流値が閾値を超える回路素子のみについて計算を行なうという手法を用いるようにしている。図29に本発明の一実施例に関わる不要輻射解析方法に用いられる装置構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段2901と、テストベクタ記憶手段

2902と、電流FFT解析手段2903と、FFT結果記憶手段2904とからなる。

【0133】これらのうち、ネットリスト記憶手段2901と、テストベクタ記憶手段2902と、FFT結果記憶手段2904とは前述のコンピュータシステムの外部記憶装置に割り当てられている。一方、電流FFT解析手段2903は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0134】次に、これらの図29の不要輻射解析装置10を構成する個々の要素について説明するとともに、図25に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。ネットリスト記憶手段2901は、第6の実施の形態と同様にあらかじめ図25に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

【0135】テストベクタ記憶手段2902は、第2の実施の形態と同様にあらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。FFT結果記憶手段2904は、第6の実施の形態と同様に図14に示すような電流FFT解析手段2903で計算されたFFT結果情報を記憶するものである。

【0136】電流FFT解析手段2903は、図30に示すようなフローチャートで解析を実行する。まず、ステップ3001でネットリスト記憶手段2901に記憶された図12に示すネットリスト情報を読みこむ。

【0137】ついで、ステップ3002でテストベクタ記憶手段2902に記憶された図13に示すテストベクタ情報を読みこむ。そして、ステップ3003で、各回路素子が駆動した時の電流の情報から、電流値が閾値3mAを超える回路素子を電流推定対象からはずす。

【0138】こののち、ステップ3004で、テストベクタに記載された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化 $i(t)$ を計算し、その結果に対してFFTを行い、FFT結果情報に記憶する。

【0139】すなわち、従来例のように全ての素子のFFT解析結果を計算するのではなく、あらかじめ定めた閾値3mAを超えた素子BUF1、BUF2、BUF3、BUF4、BUF5のみ電流計算とFFT計算を行い、FFT結果にあまり影響しないBUF6に関する演算量を削減しながら、図14に示すようなFFT結果を得ることが出来る。

【0140】以上の方法により、閾値を超えた電流値を持つ素子のみを計算することにより、電流計算やFFTを省略することができ、高速化をはかることができる。また、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を行なうことが容易となる。この方法

は第1、第2、第3、第4、第5、第6の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0141】(第8の実施の形態) 従来のLSIにおけるEMI解析方法では、トランジスタレベルの電源電流の過渡解析ツールを用いて解析した電流の変化をFFT解析することにより求めていたが、この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計にかかるという問題があった。

【0142】そこで本実施例では、この問題を解決するため、電流値の値の大きい回路素子からあらかじめ定めた個数分のみを選択しこれらについてのみ計算するという手法を用いる。図31に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段3101と、テストベクタ記憶手段3102と、電流FFT解析手段3103と、FFT結果記憶手段3104とからなる。

【0143】これらのうち、ネットリスト記憶手段3101と、テストベクタ記憶手段3102と、FFT結果記憶手段3104とは前述のコンピュータシステムの外部記憶装置に割り当てられている。一方、電流FFT解析手段3103は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0144】次に、これらの図31の不要輻射解析方法を構成する個々の要素について説明するとともに、図25に示すネットリスト情報と、図13に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。ネットリスト記憶手段3101は、第6の実施の形態と同様にあらかじめ図25に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。

【0145】テストベクタ記憶手段3102は、第2の実施の形態と同様にあらかじめ図13に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。FFT結果記憶手段3104は、第6の実施の形態と同様に図14に示すような電流FFT解析手段3103で計算されたFFT結果情報を記憶するものである。

【0146】電流FFT解析手段3103は、図32に示すようなフローチャートで解析を実行する。まず、ステップ3201でネットリスト記憶手段3101に記憶された図12に示すネットリスト情報を読みこむ。ついで、ステップ3202でテストベクタ記憶手段3102に記憶された図13に示すテストベクタ情報を読みこむ。こののち、ステップ3203で、各回路素子が駆動した時の電流の情報から、電流値が大きいものからあらかじめ定めた5個以内の回路素子を電流推定対象とする。最後に、ステップ3204で、テストベクタに記載

された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化 $i(t)$ を計算し、その結果に対してFFTを行い、FFT結果情報に記憶する。

【0147】すなわち、従来例のように全ての素子のFFT解析結果を計算するのではなく、各回路素子が駆動した時の電流の情報から、電流値が大きいものからあらかじめ定めた5個以内の回路素子BUF1、BUF2、BUF3、BUF4、BUF5のみ電流計算とFFT計算を行い、FFT結果にあまり影響しないBUF6に関する演算量を削減しながら、図14に示すようなFFT結果を得ることが出来る。以上の方法により、あらかじめ決めた個数分の大きな電流値を持つ素子のみを計算することにより、従来例に比べ電流計算やFFTを省略することができ、解析の高速化を図ることができる。また、電流量の大きなノイズ原因となる個所を限定でき、原因箇所推定を容易とし、またあらかじめ電流計算に必要となるメモリを予測出来るので、特に電流量の高い回路素子の数を限定できる回路において安定動作となる。

【0148】この方法は第1、第2、第3、第4、第5、第6、第7の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因箇所推定を容易とすることが可能となる。

【0149】(第9の実施の形態)従来のLSIにおけるゲートレベルのEMI解析方法では、イベント駆動シミュレータの信号変化より電流を推定した電流の変化をFFT解析することにより求めていた。

【0150】この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計に必要となるという問題があった。本実施例では、周波数解析を電流計算とともにある区間ごとに解析するとともに、電流計算を論理変化回数があらかじめ指定した回数を超えたものに対して行う手法を用いる。

【0151】図33に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段3301と、テストベクタ記憶手段3302と、電流FFT解析手段3303と、論理変化記憶手段3306と、FFT結果記憶手段3304とからなる。ネットリスト記憶手段3301と、テストベクタ記憶手段3302と、論理変化記憶手段3306と、FFT結果記憶手段3304とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0152】一方、電流FFT解析手段3303は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0153】次に、これらの図33の不要輻射解析方法を構成する個々の要素について説明するとともに、図34に示すネットリスト情報と、図35に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。

ネットリスト記憶手段3301は、あらかじめ図34に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。このネットリスト情報は、1つ以上の回路素子と配線と外部端子の接続情報と各回路素子が駆動した時の電流の情報から構成されている。この例では、立ち上がり時4mA、立下り時6mA流れるバッファBUF1、BUF2、BUF3、BUF4、BUF5、BUF6と外部入力端子A、B、外部出力端子Y1、Y2、Y3、Y4とそれぞれを接続する配線からネットリストが構成されている。テストベクタ記憶手段3302は、あらかじめ図35に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。このテストベクタ情報は、各時刻3501と、入力する外部入力端子名3502と、各時刻における対象回路の外部端子の論理情報3503から構成されている。

【0154】第2の実施の形態などにおけるテストベクタ情報とは異なり、ある信号変化に関する情報は過渡的にもつのではなく、デジタル的に持つようになっている。この例では、時刻0nsから90nsにおいて外部入力端子Aに論理値0をかけ、90nsから190nsまで外部入力端子Aに論理値1をかけるといった論理変化を離散的に指定したものを示している。

【0155】論理変化記憶手段3306は、図36に示すような電流FFT解析手段3303で計算された論理変化情報を記憶するものである。この論理変化回数情報は、各時刻と素子名と論理値とからなる対象回路の回路素子の出力における1つ以上の論理値情報から構成されている。第1の実施の形態などにおける電源電流情報とは異なり、ある信号変化に関する情報は過渡的にもつではなく、デジタル的に持つようになっている。

【0156】この例では、時刻0nsにおいて回路素子BUF1、BUF2、BUF3、BUF4、BUF5の出力端子Yが論理値0に変化し、90nsに論理値1に変化するとといった論理変化を離散的に指定したものを示している。FFT結果記憶手段3304は、第6の実施の形態と同様に図14に示すような電流FFT解析手段3303で計算されたFFT結果情報を記憶するものである。

【0157】電流FFT解析手段3303は、図37に示すようなフローチャートで解析を実行する。まずステップ3701でネットリスト記憶手段3301に記憶された図12に示すネットリスト情報を読みこむ。ついで、ステップ3702でテストベクタ記憶手段3302に記憶された図13に示すテストベクタ情報を読みこむ。こののち、ステップ3703で、テストベクタに記載された全時刻について論理値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網の各素子の出力に発生する論理変化を計算し、論理変化情報に記憶する。そして、ステップ3704で、各回路素子の出力に発生した論理変化回数から、論理変化回数が閾値3

回を超える回路素子を電流推定対象とする。さらに、ステップ 3 7 0 5 で、電流推定対象の回路素子に関する論理変化情報から電源電流情報を推定し、FFTを行いFFT結果情報に記憶する。すなわち、変化回数が立ち上がり、立下り合わせて閾値以下、3回のBUF 6を解析対象外とし、変化回数が閾値以上、6回のBUF 1、BUF 2、BUF 3、BUF 4、BUF 5を解析対象としてFFTを行うことで、FFT結果にあまり影響しないBUF 6に関する演算量を削減しながら、図 1 4 に示すようなFFT結果を得ることが出来る。

【0 1 5 8】以上の方法により、閾値を超えた論理変化のみを計算することにより、第 1 の実施の形態に示した従来例に対してピーク電流計算およびFFTを行わない分、精度は悪いが高速となる。以上の方法により、閾値を超えた論理変化数を持つ素子のみを計算することにより、従来例に対して論理変化計算の段階で計算量節約を決定することが出来、電流計算やFFTを省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。

【0 1 5 9】この方法は第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8 の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0 1 6 0】(第 1 0 の実施の形態) 従来のLSIにおけるゲートレベルのEMI解析方法では、イベント駆動シミュレーダの信号変化より電流を推定した電流の変化をFFT解析することにより求めていたが、この方法では、一度電流変化の情報を一旦バッファに蓄えるため、情報を記憶するためのメモリが余計にかかるという問題があった。

【0 1 6 1】そこで本実施例では、この問題を解決するため、周波数解析を電流計算とともにある区間ごとに解析するとともに、電流計算を論理変化回数が多いものからあらかじめ指定した個数分だけに対して行う手法を用いる。

【0 1 6 2】図 3 8 に本発明の実施例 1 0 に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段 3 8 0 1 と、テストベクタ記憶手段 3 8 0 2 と、電流FFT解析手段 3 8 0 3 と、論理変化記憶手段 3 8 0 6 と、FFT結果記憶手段 3 8 0 4 とからなる。これらのうち、ネットリスト記憶手段 3 8 0 1 と、テストベクタ記憶手段 3 8 0 2 と、論理変化記憶手段 3 8 0 6 と、FFT結果記憶手段 3 8 0 4 とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0 1 6 3】一方電流FFT解析手段 3 8 0 3 は前述のコンピュータシステムのFFT演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0 1 6 4】次に、これらの図 3 8 の不要輻射解析方法

を構成する個々の要素について説明するとともに、図 3 4 に示すネットリスト情報と、図 3 5 に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。ネットリスト記憶手段 3 8 0 1 は、第 9 の実施の形態と同様にあらかじめ図 3 4 に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。テストベクタ記憶手段 3 8 0 2 は、第 9 の実施の形態と同様にあらかじめ図 3 5 に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。論理変化記憶手段 3 3 0 6 は、第 9 の実施の形態と同様に図 3 6 に示すような電流FFT解析手段 3 3 0 3 で計算された論理変化情報を記憶するものである。FFT結果記憶手段 3 8 0 4 は、第 6 の実施の形態と同様に図 1 4 に示すような電流FFT解析手段 3 8 0 3 で計算されたFFT結果情報を記憶するものである。

【0 1 6 5】電流FFT解析手段 3 8 0 3 は、図 3 9 に示すようなフローチャートに従って解析操作を実行する。まず、ステップ 3 9 0 1 でネットリスト記憶手段 3 8 0 1 に記憶された図 1 2 に示すネットリスト情報を読みこむ。ついで、ステップ 3 9 0 2 でテストベクタ記憶手段 3 8 0 2 に記憶された図 1 3 に示すテストベクタ情報を読みこむ。こののち、ステップ 3 9 0 3 で、テストベクタに記載された全時刻について論理値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網の各素子の出力に発生する論理変化を計算し、論理変化情報に記憶する。そして、ステップ 3 9 0 4 で、各回路素子の出力に発生した論理変化回数から、論理変化回数が上位のものから 5 つの回路素子を電流推定対象とする。さらに、ステップ 3 9 0 5 で、電流推定対象の回路素子に関する論理変化情報から電源電流情報を推定し、FFTを行いFFT結果情報に記憶する。すなわち、変化回数が上位から 5 つのBUF 1、BUF 2、BUF 3、BUF 4、BUF 5を解析対象としてFFTを行うことで、FFT結果にあまり影響しないBUF 6に関する演算量を削減しながら、図 1 4 に示すようなFFT結果を得ることが出来る。

【0 1 6 6】以上の方法により、あらかじめ定めた個数分の論理変化の大きな回路素子のみを計算することにより、従来例に対して論理変化計算の段階で計算量節約を決定することが出来る。従って、電流計算やFFTを省略し高速化を図ることができる。また、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定が容易となる。またあらかじめ電流計算に必要なメモリを予測出来るので、特に論理変化数の高い回路素子の数を限定できる回路において安定動作となる。

【0 1 6 7】この方法は第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9 の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因個所推定を容易とすることが可能となる。

【0 1 6 8】(第 1 1 の実施の形態) 従来のLSIにお

10

20

30

40

50

けるEMI解析方法では、解析対象の電流を測定するのみでEMIの原因となる個所を把握するための機能が十分でないという問題があった。本実施例では、EMI解析対象をピーク電流の大きいと予測される個所だけに對して行う手法を用いる。

【0169】図40に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、ネットリスト記憶手段4001と、テストベクタ記憶手段4002と、電流FFT解析手段4003と、FFT結果記憶手段4004とからなる。これらのうち、

【0170】次に、これらの図40の不要輻射解析装置を構成する個々の要素について説明するとともに、図34に示すネットリスト情報と、図35に示すテストベクタ情報とを用いて不要輻射を解析する手順を説明する。ネットリスト記憶手段4001は、第9の実施の形態と同様にあらかじめ図34に示すような不要輻射を解析する対象回路のネットリスト情報を記憶している。テストベクタ記憶手段4002は、第9の実施の形態と同様にあらかじめ図35に示すような対象回路の外部端子に印加するテストベクタ情報を記憶している。FFT結果記憶手段4004は、第6の実施の形態と同様に図14に示すような電流FFT解析手段4003で計算されたFFT結果情報を記憶するものである。

【0171】電流FFT解析手段4003は、図41に示すようなフローチャートで解析を実行する。まず、ステップ4101でネットリスト記憶手段4001に記憶された図12に示すネットリスト情報を読みこむ。ついで、ステップ4102でテストベクタ記憶手段4002に記憶された図13に示すテストベクタ情報を読みこむ。このうち、ステップ4103で故障シミュレータなどで使用される遷移確率計算手段を用いて、各回路素子の出力に発生する変化回数を推定し、その変化回数が閾値を超えるものを解析対象回路素子とする。

【0172】なお、この閾値のかわりに、変化回数大きいものからの個数で対象回路素子を決める方法もある。ステップ4103で、テストベクタに記載された全時刻について電圧値をネットリストの外部端子に印加した影響で電流推定対象の回路素子網に流れる電源電流の時間的な変化 $i(t)$ を計算し、その結果に対してFFTを行いFFT結果記憶手段に記憶する。すなわち、最初の遷移確率計算手段において、テストベクタの外部端子Aの変化回数6回、外部端子Bの変化回数3回から、バッファの変化回数は入力と出力とで同じことを用いて、ネ

ットリストの各回路素子の変化回数を計算する。この場合、BUF1、BUF2、BUF3、BUF4、BUF5は変化回数6回と推定され、BUF6は3回と推定される。そして、変化回数が立ち上がり、立下り合わせて閾値以下、3回のBUF6を解析対象外とし、変化回数が閾値以上、6回のBUF1、BUF2、BUF3、BUF4、BUF5を解析対象としてFFTを行うことで、FFT結果にあまり影響しないBUF6に関する演算量を削減しながら、図14に示すようなFFT結果を得ることが出来る。

【0173】回路素子がANDの場合には、2つの入力の確率が同じ場合出力が1になる確率が25%、0になる確率が75%（なぜならば、2つの入力の論理がともに1の時1となり、それ以外の3通りの場合0となるから）となることを利用して同様に計算できる。回路素子がORの場合には、2つの入力の確率が同じ場合出力が1になる確率が75%、0になる確率が25%となることを利用して同様に計算できる。

【0174】以上の方法により、ネットリストから論理変化回数を推定して解析対象を決定することにより、従来例に対して論理変化計算以前の段階で計算量節約を決定することが出来、論理変化計算や電流計算やFFTを省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因箇所推定を容易とする。

【0175】この方法は第1、第2、第3、第4、第5、第6、第7の実施の形態と組み合わせることで、さらに高速かつ少メモリでFFT結果を得、原因箇所推定を容易とすることが可能となる。

【0176】(第12の実施の形態) 従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまうという問題があった。そこで本実施例では、この問題を解決するため、ユーザインターフェースとして、各インスタンスごとの電流波形に対してFFTを行い、各電流周波数成分のノイズの大きなもの順にインスタンス名をソートするという手法を用いる。

【0177】図42に本発明の実施例12に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、FFT結果記憶手段5001と、FFT結果ソート手段5002と、ソート結果記憶手段5003とからなる。これらのうち、FFT結果記憶手段5001と、ソート結果記憶手段5003とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0178】一方、FFT結果ソート手段5002は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0179】次に、これらの図42の不要輻射解析装置

を構成する個々の要素について説明するとともに、図4 3に示すFFT結果情報を用いて不要輻射を解析する手順を説明する。

【0180】FFT結果記憶手段5001は、FFT結果の情報であり、あらかじめ図4 3に示すようなFFT結果情報を記憶している。このFFT結果情報は、各インスタンス毎にFFT結果の周波数と電流周波数成分の情報から構成されている。ソート結果記憶手段5003は、図4 4に示すようなFFT結果ソート手段5002で計算されたソート結果情報を記憶するものである。このソート結果情報は、各周波数毎にインスタンス名と電流周波数成分値とからなる対象回路の1つ以上のFFT結果情報から構成されている。

【0181】FFT結果ソート手段5002は、図4 5に示すようなフローチャートで解析を実行する。まず、ステップ5301でFFT結果記憶手段5001に記憶された図4 3に示すFFT結果情報を読みこむ。ついで、ステップ5302でFFT結果情報内の周波数情報を読み込み、ステップ5303で最初の周波数を選択する。こののち、ステップ5304では、前記対象周波数に対応する全てのインスタンスと電流周波数成分を選択し、さらに、ステップ5305で選択したインスタンスと電流周波数成分を電流周波数成分の大きい順にソートする。ステップ5306では、対象周波数とソートされたインスタンス名と電流周波数成分を、ソート結果記憶情報に書き込む。上記のステップ5304からステップ5306まではFFT結果情報に記載された全ての周波数情報を処理し終わるまで繰り返し、終了すれば本FFT結果ソート手段は終了する。

【0182】以上の方法により、ユーザインターフェースとして、各インスタンスごとの電流波形に対してFFTを行い、各電流周波数成分のノイズの大きなもの順にインスタンス名をソートするという手法を用いることによりノイズに影響するインスタンスの特定が可能となる。

【0183】(第13の実施の形態)従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。

【0184】本実施例では、ユーザインターフェースとして、実施例12をブロック(インスタンスグループ)ごとに行う手法である。第13の構成は第12の構成の図4 2と同じであるが、FFT結果記憶手段5001は、図4 6に示すようなFFT結果情報を記憶している。このFFT結果情報は、各ブロック(インスタンスグループ)毎にFFT結果の周波数と電流周波数成分の情報から構成されている。また、ソート結果記憶手段5003は、図4 7に示すようなFFT結果ソート手段5002で計算されたソート結果情報を記憶するものである。このソート結果情報は、各周波数毎にブロック名

(インスタンスグループ名)と電流周波数成分値とからなる対象回路の1つ以上のFFT結果情報から構成されている。

【0185】FFT結果ソート手段5002は、図4 8に示すようなフローチャートで解析を実行する。まず、ステップ5601でFFT結果記憶手段5001に記憶された図4 6に示すFFT結果情報を読みこむ。ついで、ステップ5602でFFT結果情報内の周波数情報を読み込み、ステップ5603で最初の周波数を選択する。こののち、ステップ5604では、前記対象周波数に対応する全てのブロック(インスタンスグループ)と電流周波数成分を選択し、ステップ5605で選択したブロック(インスタンスグループ)と電流周波数成分を電流周波数成分の大きい順にソートする。ここで、ステップ5606では、対象周波数とソートされたブロック名(インスタンスグループ名)と電流周波数成分を、ソート結果記憶情報に書き込む。上記のステップ5604からステップ5606まではFFT結果情報に記載された全ての周波数情報を処理し終わるまで繰り返し、終了すれば本FFT結果ソート手段は終了する。

【0186】以上の方法により、ユーザインターフェースとして、各ブロック(インスタンスグループ)ごとの電流波形に対してFFTを行い、各電流周波数成分のノイズの大きなもの順にブロック名(インスタンスグループ名)をソートするという手法を用いることによりノイズに影響するブロック(インスタンスグループ)の特定が可能となる。

【0187】(第14の実施の形態)従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまうという問題があった。そこで、本実施例では、この問題を解決するため、ユーザインターフェースとして、あらかじめセルライブラリ情報に記載されたレジスタ・組み合わせ回路・メモリなどを区分する番号のグループごとに行う手法である。

【0188】図4 9に本発明の実施例14に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置は、インスタンス毎の電流情報記憶手段5701と、グループ化情報の入力5702と、インスタンスグループ化手段5703と、グループ毎の電流情報記憶手段5704と、グループ・インスタンス対応情報記憶手段5705と、FFT解析手段5706と、FFT結果記憶手段5707と、FFT結果ソート手段5708と、ソート結果記憶手段5709とからなる。

【0189】これらのうち、インスタンス毎の電流情報記憶手段5701と、グループ毎の電流情報記憶手段5704と、グループ・インスタンス対応情報記憶手段5705と、FFT結果記憶手段5001と、ソート結果記憶手段5003とは前述のコンピュータシステムの外

部記憶装置に割り当てられている。一方、インスタンスグルーピング手段5703と、FFT解析手段5706と、FFT結果ソート手段5002は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0190】次に、これらの図49の不要輻射解析装置を構成する個々の要素と不要輻射を解析する手順を説明する。インスタンス毎の電流情報記憶手段5701は、各インスタンス毎の電流情報であり、図50に示すような時刻と電流値の情報から構成される。グループ化情報

【0191】グループ毎の電流情報記憶手段5704は、各グループに含まれるインスタンスの各時間における電流の集計結果情報であり、図52に示すような時刻と電流値の情報から構成される。グループ・インスタンス対応情報記憶手段5705は図53に示すような、各ブロックに属するインスタンス名を示すものである。

【0192】インスタンスグルーピング手段5703は、図54に示すようなフローチャートで解析を実行する。まず、ステップ6201でインスタンス毎の電流情報記憶手段5701に記憶された図50に示すインスタンス毎の電流情報を読み込む。ついで、ステップ6202で図51に示すセル情報とそのセルの機能属性を示すプロパティ情報を読み込む。こののち、ステップ6203で全インスタンスに対して、そのセル情報から図51のテーブルを参照して機能属性プロパティを設定し、同一プロパティ毎に全インスタンスをレジスタ、組み合わせ回路、メモリー等のグループに区分する。ステップ6204でグループ毎にグループ名を付与し、グループ名と各グループに属するインスタンス名を図53に示すグループ・インスタンス対応情報に書き込む。さらに、ステップ6205でグループ毎に各インスタンスの電流情報を合計し、図52に示す、グループ毎の電流情報記憶手段に書き込む。FFT結果記憶手段6308からソート結果記憶手段6310は第13の実施の形態と同様である。

【0193】以上の方法により、各インスタンスを機能グループ単位で各電流周波数成分のノイズの大きなもの順にソートするという手法を用いることによりノイズに影響する機能ブロックの特定が可能となる。

【0194】(第15の実施の形態)従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。そこで、本実施例では、ユーザインターフェースとして、クロック入力端子からたどって判別したクロックツリーに対して行う手法である。

【0195】図55に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析装置

は、インスタンス毎の電流情報記憶手段6301と、グループ化情報の入力6302と、ネットリスト情報記憶手段6303と、インスタンスグルーピング手段6304と、グループ毎の電流情報記憶手段6305と、グループ・インスタンス対応情報記憶手段6306と、FFT解析手段6307と、FFT結果記憶手段6308と、FFT結果ソート手段6309と、ソート結果記憶手段6310とからなる。

【0196】これらのうち、インスタンス毎の電流情報記憶手段6301と、ネットリスト情報記憶手段6303と、グループ毎の電流情報記憶手段6304と、グループ・インスタンス対応情報記憶手段6305と、FFT結果記憶手段6308と、ソート結果記憶手段6310とは前述のコンピュータシステムの外部記憶装置に割り当てられている。インスタンスグルーピング手段6304と、FFT解析手段6307と、FFT結果ソート手段6309は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0197】次に、これらの図55の不要輻射解析方法を構成する個々の要素と不要輻射を解析する手順を説明する。ここで、インスタンス毎の電流情報記憶手段6301は、各インスタンス毎の電流情報であり、図50に示すような時刻と電流値の情報から構成される。グループ化情報の入力6302は図51に示すようなグループ番号とクロック端子名の情報から構成される。

【0198】ネットリスト情報記憶手段6303は図58に示すようなネットリスト情報から構成される。グループ毎の電流情報記憶手段6305は、各グループに含まれるインスタンスの各時間における電流の集計結果情報であり、図52に示すような時刻と電流値の情報から構成される。グループ・インスタンス対応情報記憶手段6306は図53に示すような、各ブロックに属するインスタンス名を示すものである。

【0199】インスタンスグルーピング手段6304は、図57に示すようなフローチャートで解析が実行する。まず、ステップ6501でインスタンス毎の電流情報記憶手段6301に記憶された図50に示すインスタンス毎の電流情報を読み込む。ついで、ステップ6502で図56に示すグループ化番号とクロック端子名の情報を読み込む。こののち、ステップ6503で読み込んだクロック情報の最初のクロックを取りこむ。さらにステップ6504で図58に示す入力端子6601と内部インスタンスの接続族情報より、クロック入力端子に接続するクロックツリー上の全インスタンス6603を1つのグループにグルーピングする。

【0200】ステップ6505でグループ毎にグループ名を付与し、グループ名と各グループに属するインスタンス名を図53に示すグループ・インスタンス対応情報に書き込む。上記のステップ6503からステップ65

06までを全てのクロックに対する処理をし終わるまで繰り返す。ステップ6507でグループ毎に各インスタンスの電流情報を合計し、図52に示す、グループ毎の電流情報記憶手段に書き込み、インスタンスグルーピングの処理は終わる。

【0201】FFT結果記憶手段6308からソート結果記憶手段6310は第13の実施の形態と同様である

【0202】以上の方法により、全インスタンスをクロックピン毎に各クロック入力端子に接続するクロックツリー群とクロックツリー以外のインスタンスに分けて各電流周波数成分のノイズの大きなもの順にソートするという手法を用いることによりノイズに影響するクロック端子の特定と全体に対するその影響度合いの確認が可能となる。

【0203】(第16の実施の形態)従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断するのに非常に時間がかかってしまう。本実施例では、ユーザインターフェースとして、同時変化箇所については、静的タイミング解析(STA)を行い、タイミングの一致するインスタンスをグループ化し、実施例13と同様に各グループ毎の電流波形に対してFFTを行い、各電流周波数成分のノイズの大きなもの順にソートするという手法を用いる。

【0204】第16の構成は第15の構成と同じであるが、グループ化情報の入力6302は使用しない。インスタンスグルーピング手段6304は、図59に示すようなフローチャートに従って解析操作を実行する。ステップ6701でインスタンス毎の電流情報記憶手段6301に記憶された図50に示すインスタンス毎の電流情報を読み込む。ステップ6702で図60に示す内部インスタンスのネットリスト情報を使って静的タイミング解析(STA)を行い、信号状態の変化タイミングが一致するインスタンスを同一グループにグルーピングする。ステップ6703でグループ毎にグループ名を付与し、グループ名と各グループに属するインスタンス名を図53に示すグループ・インスタンス対応情報に書き込む。ステップ6704でグループ毎に各インスタンスの電流情報を合計し、図52に示す、グループ毎の電流情報記憶手段に書き込み、インスタンスグルーピングの処理は終わる。FFT結果記憶手段6308からソート結果記憶手段6310は第13の実施の形態と同様である

【0205】以上の方法により、同時変化(ある時間間隔内に変化)するインスタンスのグループ毎に、各電流周波数成分のノイズの大きなもの順にソートするという手法を用いることによりノイズに影響する同時変化のインスタンスグループの特定が可能となる。

【0206】(第17の実施の形態)従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断

するのに非常に時間がかかってしまう。そこで本実施例では、ユーザインターフェースとして、実施例14、実施例15、実施例16でグループ化したグループ情報から各電流周波数成分のノイズの大きいインスタンス情報、及びそのノイズレベル等の情報を表示する手法を用いる。

【0207】図61に本発明の一実施例に関わる不要輻射解析装置直後の構成を示す。同図に示す不要輻射解析方法は、実施例14-16と同様のインスタンスグルーピング手段6901と、グループ毎の電流情報記憶手段6902と、グループ・インスタンス対応情報記憶手段6903と、ネットリスト情報記憶手段6904と、FFT結果記憶手段6905と、FFT結果ソート手段6906と、ソート結果記憶手段6907にインスタンス情報表示手段6908を加えたものからなる。

【0208】ここで、インスタンス情報表示手段6908は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0209】次に、これらの図61の不要輻射解析方法を構成する個々の要素と不要輻射を解析する手順を説明する。ここで、インスタンスグルーピング手段6901からソート結果記憶手段6907は、実施例14、実施例15、実施例16と同様であり、インスタンス情報表示手段6908は、ソート結果記憶手段6907に記憶された、図47に示すようなブロック名と電流周波数成分の情報と、インスタンスグルーピング手段6901で作成されるグループ・インスタンス対応情報記憶手段6903に記憶される、図53に示すようなブロック名(インスタンスグループ名)とインスタンス名から、各電流周波数成分のノイズの大きな箇所をインスタンス名で表示することが可能になる。

【0210】また、実施例15、16の場合には、ネットリスト情報記憶手段6904に記憶される、図58に示すようなネットリスト情報から、各電流周波数成分のノイズの大きな箇所をネットリストに対応させて表示させることができる。

【0211】また、この方法はネットリスト情報を、対応するレイアウト情報に置きかえることによってレイアウト上の位置情報に対応させて表示させることもできる。

【0212】以上の方法により、実施例14ではノイズに影響するレジスタ・組み合わせ回路・メモリブロック内の箇所の特定、実施例15ではクロック入力端子からたどって判別したクロックツリー内の箇所の特定、実施例16ではノイズに影響する同時変化箇所の特定が、それぞれ容易になるという効果が得られる。

【0213】(第18の実施の形態)従来のLSIにおけるEMI解析手段では、FFT結果のみをレポートする方法が一般的であった。この方法では原因箇所を判断

するのに非常に時間がかかってしまう。本実施例では、ユーザインターフェースとして、実施例14から17についてFFTを行わず、あらかじめ決めておいた周波数についてのみ計算（フーリエ級数を計算）する手法とその情報のみを表示する手法を用いる。

【0214】図62に本発明の一実施例に関わる不要輻射解析装置の構成を示す。同図に示す不要輻射解析方法は、実施例14-17と同様のFFT解析手段7002と、グループ・インスタンス対応情報記憶手段7003と、ソート結果記憶手段7004に周波数情報の入力7001と、インスタンス情報表示手段7005を加えたものからなる。

【0215】このインスタンス情報表示手段7005は前述のコンピュータシステムの入出力演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。次に、これらの図62の不要輻射解析方法を構成する個々の要素と不要輻射を解析する手順を説明する。

【0216】ここで、ソート結果記憶手段7004は、実施例14、15、16、17と同様である。周波数情報の入力7001は、解析したい周波数値の情報である。FFT解析手段7002は、通常使用される一般的なFFT（フーリエ変換）を用いるのではなく、周波数情報の入力7001で入力した周波数について、電流周波数成分 $\int i(t) \sin(n\omega t) dt$ を計算（フーリエ級数を計算）する。

【0217】インスタンス情報表示手段7005は、ソート結果記憶手段7004に記憶された、図47に示すようなブロック名と電流周波数成分の情報と、グループ・インスタンス対応情報記憶手段7003に記憶される、図53に示すようなブロック名（インスタンスグループ名）とインスタンス名から、各電流周波数成分のノイズの大きな箇所をインスタンス名で表示することが可能になる。

【0218】以上の方法により、特定の周波数に対して従来例よりも高速に特定周波数に影響するノイズ原因箇所が特定できるという効果が得られる。一度一チップFFT解析を行った後の原因特定段階等のように、解析したい周波数が予め決まっている場合等に有効である。

【0219】（第19から第23の実施の形態）一般に、チップの不要輻射（以降EMIとも表現する）の解析には、チップの電源電流をFFT解析する方法でおこなわれる。図63のように、チップの電源電流は、電源線の抵抗（以降Rとも表現する）および容量（以降Cとも表現する）のインピーダンス成分の影響で波形が変わる。そのためEMI解析を高精度におこなうためには、電源線のインピーダンス成分は無視できない。

【0220】従来の不要輻射解析方法において電源電流の算出に電源線のインピーダンス効果を盛り込む手法としては、大きくわけて2通りの方法が実施されている。

（A）電源線のRCが付加されたトランジスタレベルのネットリストをSPICE系回路シミュレータを用いて過渡解析をおこない、電源電流を算出する。

（B）電源線のRCと複数トランジスタの理想電源時の電流波形からモデリングする電流源で構成される電源線ネットリストをSPICE系回路シミュレータを用いて過渡解析をおこない、電源電流を算出する。

（A）の方法が、もっとも精度よく電源電流を算出することができる。（B）は、トランジスタに流れる電流を理想電源で前もって算出しておくことで高速化をはかっているものである。

【0221】この（A）および（B）の過渡解析を用いる方法ではLSIが大規模・複雑化しているため、処理時間が増大しEMI解析として現実的でない。また

（B）で、電源線RCネットワークを簡易化するという手法も回路形状がアレイ構造に限定されるため、問題の解決には至らない。

【0222】本実施例は、過渡解析を用いずに電源線のインピーダンスの影響を電源電流の算出に盛り込むことによって、インピーダンスの影響を考慮したEMI解析をゲートレベルで実現する手法である。図64に本発明の実施例19から23に関わる不要輻射解析方法の構成を示す。図64に示す不要輻射解析方法は、抵抗記憶手段8101と、容量記憶手段8102と、電源線依存情報記憶手段8103と、電流波形記憶手段8104と、電流波形補正手段8107と、補正電流波形記憶手段8106とからなる。これらのうち、抵抗記憶手段8101と、容量記憶手段8102と、電源線依存情報記憶手段8103と、電流波形記憶手段8104と、補正電流波形記憶手段8106とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0223】電流波形補正手段8107は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。第19の実施の形態は、図64に示す不要輻射解析方法全体の概念を示している。第20の実施の形態は、図69に示す電流波形補正手段のフローチャートのステップ8603、ステップ8607にテーブルを用いる。第21の実施の形態は、図69に示す電流波形補正手段のフローチャートのステップ8603、ステップ8607に数式を用いる。第22の実施の形態は、図69に示す電流波形補正手段のフローチャートのステップ8608で底辺での補正を行う。第23の実施の形態は、図69に示す電流波形補正手段のフローチャートのステップ8608で面積での補正を行う。

【0224】次に、これらの図64の不要輻射解析方法を構成する個々の要素について説明する。抵抗記憶手段8101は、レイアウトデータからLPEにより得ることのできる電源回路網の抵抗の情報であり、あらかじめ図65に示すような抵抗情報として記憶されている。容

量記憶手段8102は、レイアウトデータからLPEにより得ることのできる電源回路網の容量の情報であり、あらかじめ図66に示すような容量情報として記憶されている。

【0225】電源線依存情報記憶手段8103は、理想電源として算出している推定電流波形を電源回路網の等価容量や等価抵抗の情報に基づき補正するための情報であり、あらかじめ図68に示すような電源線依存情報として記憶している。この手段では、電流波形記憶手段8004と、イベントドリブン型シミュレータで計算された推定電流波形の情報であり、あらかじめ図67に示すような推定電流波形情報を記憶している。

【0226】この推定電流波形情報は、イベントの発生した時刻と三角形の底辺および高さの情報から構成されている。補正電流波形記憶手段8106は、電流波形補正手段8007で計算された補正電流波形情報を記憶するものである。

【0227】電流波形補正手段8007では、上記、抵抗情報8101、容量情報8102、電源線依存情報8103から、電流波形の補正をする補正係数を求める工程と、求めた補正係数を用いて、上記、電流波形8104に補正を施し、補正電流波形8106を求める工程で構成されるものである。

【0228】次に、図65に示す抵抗情報、図66に示す容量情報、図67に示す電流情報、および図68に示す電源線依存情報を用いて電流波形の補正をおこなう、上記、電流波形補正手段8107について説明をおこなう。図70に電流波形補正手段8107の概念図を示す。

【0229】この電流波形補正手段8107は、図69に示すようなフローチャートに従って解析操作を実行する。そして、ステップ8601で、抵抗記憶手段8101に記憶された図65の8201に示すような抵抗情報を読みこむ。この抵抗情報は、抵抗素子について、抵抗素子名、両端のノード名、抵抗値の情報が記載されており、図65の8202のような抵抗回路網の情報を表している。ステップ8602で、容量記憶手段8102に記憶された図66の8301に示すような容量情報を読みこむ。この容量情報は、容量素子について、容量素子名、ノード名、容量値の情報が記載されており、図65の8202のような抵抗回路網に付加している容量の情報を表している。ステップ8603で、電源線依存情報記憶手段8103に記憶された図68に示す電源線依存情報を読みこむ。

【0230】前記実施例では、事前に過渡解析により電流補正項目ごとに用意しておく等価抵抗と等価容量と電流補正係数値の関係をあらわすテーブル(図68の8501)が電源線依存情報である。以下、図71を用いてテーブルの求め方の例を示す。

(1) まず、電源線のRCを含むネットリストデータ

を用意し過渡解析をおこない、電源電流波形を算出する。こうして得た電源電流波形から、ピークとその近傍で形成されている電流波形部分(図71の8801)を抽出する。この電流波形は上記従来例で紹介した(A)の手法で求めたものであるため、精度が高い。

【0231】(2) 上記ネットリストデータの電源線の等価抵抗を求める。等価抵抗の求め方は図72の8901に示す通りである。チップの等価抵抗は全インスタンスの等価抵抗の和をインスタンス数で割った値としている。簡単のため抵抗回路ネットワークの接点にインスタンスがつながっていると考える。まず接点ごとに等価抵抗を算出する。環型配線・星型配線への相互変換、ブリッジ回路形成などを駆使し、キルヒホッフの法則を用いて直流回路網を解くことで算出できる。ついで、全接点の等価抵抗の平均を出すことで、チップの等価抵抗(図71の8803)が求められる。

【0232】(3) 上記ネットリストデータの電源線の等価容量を求める。等価容量の求め方は図72の8902に示す通りである。チップの等価容量はチップにあるデカップリング容量の総和としている。よって読み込まれた容量素子の容量値をすべて足すことで、チップの等価容量(図71の8803)が求められる。

【0233】(4) 上記ネットリストデータの電源線のRCを取り除いたネットリストデータを作成する。次に、作成したネットリストデータで過渡解析をおこない、電源電流波形を算出する。こうして得た電源電流波形から、ピークとその近傍で形成されている電流波形部分(図71の8802)を抽出する。この電流波形は電源線を理想電源としており、電源線のインピーダンスをまったく考慮していないものである。

【0234】(5) (1)で求めた電源電流波形(図71の8801)と、(4)で求めた電源電流波形(図71の8802)の底辺および面積の比から、底辺用電流補正係数 α_t 、面積用電流補正係数 α_i を算出する(図71の8804)。

【0235】(6) チップの等価抵抗、チップの等価容量、各電流補正係数 α を図68の8501にプロットする。

【0236】(7) (1)から(6)の作業を複数のテストデータに対して行い、テーブルが完成する。前記第21の実施例では、事前に過渡解析と統計処理により電流補正項目ごとに算出しておく数式が電源線依存情報である。以下、数式の求め方の例を示す。

【0237】(1) 上記、テーブルの求め方における(1)から(7)の方法から、データベースを作成する。

(2) このデータベースに統計処理を施し、電流補正の項目ごとに、電流波形補正係数が等価抵抗と等価容量で決まるような数式(図68の8502)を作成する。

【0238】そして、ステップ8604で、電流波形記

憶手段8104に記憶された図67に示す推定電流波形のイベント単位モデルを読みこむ。また、ステップ8605で、抵抗情報からチップの等価抵抗を計算する。上記、テーブルの求め方(2)と同様、電源回路を直流回路網として扱うことで求められる。ステップ8606で、容量情報からチップの等価容量を計算する。上記、テーブルの求め方(3)と同様、総容量を足し合わせて求められる。ステップ8607で、電流補正項目ごとの電源線依存情報8103に、ステップ8604で得た等価抵抗とステップ8605で得た等価容量を適用して、対象回路の電流補正係数を求める。

【0239】この実施例では、図68の8501のようなテーブルで補正係数が求められる。底辺用電流補正係数を α_t 、面積用電流補正係数を α_i 、底辺補正用テーブルを χ_t 、面積補正用テーブルを χ_i 、等価抵抗をR、等価容量をCとすると、

$$\alpha_t = \chi_t(R, C)$$

$$\alpha_i = \chi_i(R, C)$$

で与えられている。例として、対象チップの等価抵抗が10Ω、等価容量が100pFを各電流補正のテーブルに代入した時に、底辺用電流補正係数 α_t 、面積用電流補正係数 α_i は、

$$\alpha_t = \chi_t(10, 100 \times 10^{-12}) = 1.3$$

$$\alpha_i = \chi_i(10, 100 \times 10^{-12}) = 0.8$$

のようにして求められる。ここで 100×10^{-12} は、 100×10^{-12} を表わす。

【0240】この実施例では、図68の8501のようなテーブルで補正係数が求められる。等価抵抗をR、等価容量をCとすると、底辺用電流補正係数 α_t 、面積用電流補正係数 α_i がそれぞれ、

$$\alpha_t = (R + 3 \times C \times 10E + 11) \times 10E - 2 + 1$$

$$\alpha_i = (2 \times R + C \times 10E + 11) \times 10E - 2 + 1$$

という数式で与えられているとする。ここで、ステップ8605およびステップ8606で求めた対象チップの等価抵抗が10Ω、等価容量が100pFであれば、底辺用電流補正係数 α_t 、面積用電流補正係数 α_i は、

$$\alpha_t = (10 + 3 \times (100 \times 10^{-12}) \times 10E + 11) \times 10E - 2 + 1 = 1.3$$

$$\alpha_i = -(2 \times 10 + (100 \times 10^{-12}) \times 10E + 11) \times 10E - 2 + 1 = 0.8$$

のようにして求められる。

【0241】第22の実施例では、ステップ8608で、電流波形情報8104に対して、ステップ8607で得た電流補正係数を用いて電流波形を補正する。第22の実施例では、ステップ8607で得た底辺用の電流補正係数を用いて電流波形の底辺を補正する。その際、電流波形の面積は一定に保つ。補正前の電流波形イベント端子モデルの三角形の面積を100、底辺を10、高さを20、底辺用電流補正係数 α_t を1.3とすると、補正後の電流波形イベント端子モデルの三角形の面積

S' 、底辺 T' 、高さ H' は、

$$T' = 10 \times 1.3 = 13$$

$$S' = 100$$

$$H' = 2 \times 100 \times 1 / 13 = 15.4$$

と補正される。

【0242】第23の実施例では、ステップ8607で得た面積用の電流補正係数を用いて電流波形の面積を補正する。その際、電流波形の底辺は一定に保つ。補正前の電流波形イベント端子モデルの三角形の面積を100、底辺を10、高さを20、面積用電流補正係数 α_i を0.8とすると、補正後の電流波形イベント端子モデルの三角形の面積 S' 、底辺 T' 、高さ H' は、

$$T' = 10$$

$$S' = 100 \times 0.8 = 80$$

$$H' = 2 \times 80 \times 1 / 10 = 16$$

$$T' = 10$$

$$S' = 100 \times 0.8 = 80$$

$$H' = 2 \times 80 \times 1 / 10 = 16$$

と補正される。

【0243】ステップ8609で、補正の完了した電流波形を、補正電流波形情報として記憶する(8106)。

以上のように、本実施例ではまず前記第19の実施例により、過渡解析を用いないため従来例よりも高速で、電源線を考慮したEMI解析が実現される。

【0244】さらに、本発明実施例20のテーブルを用いる効果として、テーブルによる補正係数算出手法は、統計ばらつきが大きい場合や、補正係数の算出に用いる情報量が多い場合に有効である。さらに、本発明実施例21の数式を用いる効果として、数式による補正係数算出手法は、データ量が少さいという利点があり、統計ばらつきが少ない場合や、数式の変数部分が少ない場合に有効である。さらに、この実施例19、20、21では情報の特質により数式とテーブルを使い分けることで、処理時間やデータ量の最適化が可能である。

【0245】さらに、実施例22の、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正をおこなう効果として、電流波形の底辺を最適化することで、図73のように電源RC成分の影響による瞬時電流のなまりを電源電流波形に反映させられるという効果が得られる。

【0246】さらに、実施例23の、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正をおこなう効果として、電流波形の面積を最適化することで、図74のように電源電圧降下(IR-Drop)の影響を電源電流波形に反映させられるという効果が得られる。

【0247】(第24の実施の形態)実施例19では、チップのレイアウトが終了したのち、電源回路網の抵抗情報を直流回路として解くことで等価抵抗を算出とした。この手法では等価抵抗値としては精度の高いものが得られるが、電源回路が大規模化しているため、キルヒホッフの法則を用いて回路網を解くのに時間を要するという課題がある。実施例24では、ポストレイアウト

での電源電流補正手法に関して、チップの形状情報を用いることで、チップの等価抵抗を電源回路網の抵抗情報を直流回路として算出することなく、推定によって得るという手法である。

【0248】図75に本発明の実施例24に関わる不要輻射解析装置の構成を示す。図75に示す不要輻射解析装置は、抵抗記憶手段9201と、容量記憶手段9202と、電源線依存情報記憶手段9203と、電流波形記憶手段9204と、形状情報記憶手段9205と、電流波形補正手段9207と、補正電流波形記憶手段9206とからなる。これらのうち、抵抗記憶手段9201と、容量記憶手段9202と、電源線依存情報記憶手段9203と、電流波形記憶手段9204と、形状情報記憶手段9205と、補正電流波形記憶手段9206とは前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0249】一方、電流波形補正手段9207は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。

【0250】図75のシステム構成は、図64に電源回路の形状情報記憶手段8505を加えたものである。形状情報記憶手段9205以外の個々の要素については、図64と同様であり、実施例19で説明したとおりである。

【0251】したがって、ここでは形状情報記憶手段9205について説明する。形状情報記憶手段9205は、レイアウトデータ作成段階で得ることのできるチップの形状情報である。

・チップの面積情報
などが入力される。

【0252】本発明の実施例24に関わる不要輻射解析方法を、図75の電流波形補正手段9207内を表す図76のフローで示して、手順を説明する。尚、ステップ9310およびステップ9305以外の各ステップは、図69と同様であり、実施例19で説明したとおりである。まず、ステップ9301で、抵抗記憶手段9201に記憶された図65の8201に示すような抵抗情報を読みこむ。この抵抗情報は、抵抗素子について、抵抗素子名、両端のノード名、抵抗値の情報が記載されており、図65の8202のような抵抗回路網の情報を表している。ついで、ステップ9302で、容量記憶手段9202に記憶された図66の8301に示すような容量情報を読みこむ。この容量情報は、容量素子について、容量素子名、ノード名、容量値の情報が記載されており、図65の8202のような抵抗回路網に付加している容量の情報を表している。このうちステップ9303で、電源線依存情報記憶手段9203に記憶された図68に示す電源線依存情報を読みこむ。さらにステップ9304で、電流波形記憶手段8104に記憶された図7

1に示す推定電流波形のイベント単位モデルを読みこむ。そしてステップ9310で、形状情報記憶手段9205に記憶された電源回路の形状情報を読みこむ。さらにステップ9305で、抵抗情報からチップの等価抵抗を推定する。

【0253】本実施例での等価抵抗の推定方法を説明する。

(1) チップの総抵抗を足し合わせる。

(2) (1)で算出した総抵抗値はチップの面積に比例した値となっているため、平方根(正值)をとって補正する。

以上の処理で、チップの等価抵抗を推定する。例として、チップの総抵抗値が400Ωとなったときは、チップの等価抵抗値は、

$$\sqrt{400} = 20 \Omega$$

と推定できる。さらにステップ9306で、容量情報からチップの等価容量を計算する。上記、テーブルの求め方(3)と同様、総容量を足し合わせて求められる。このうちステップ9307で、電流補正項目ごとの電源線依存情報9203に、ステップ9305で得た等価抵抗とステップ9306で得た等価容量を適用して、対象回路の電流補正係数を求める。そして、ステップ9308で、電流波形情報9204に対して、ステップ9307で得た電流補正係数を用いて電流波形を補正する。最後に、ステップ9309で、補正の完了した電流波形を、補正電流波形情報として記憶する(9206)。

【0254】以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮したEMI解析が実現される。さらに、チップの等価抵抗を算出する際に複雑な電源抵抗の回路網を解かなくても良いため、精度は落ちるものの、より高速なEMI解析が実現される。

【0255】(第25から第31の実施の形態) 実施例19で、過渡解析を用いずに電源電流の算出に電源線のインピーダンスの影響をEMI解析結果に盛り込む手法として提案している。しかし実施例19では、レイアウトデータからLPE処理を用いて電源線の抵抗および容量を用意しなければならないためレイアウトの完成を待つ必要がある。またLSIの大規模化に伴いLPEの処理時間も長くなるため、EMI解析に入る前段階で時間がかかってしまう。実施例25から31はこの課題を解決するものである。

【0256】本実施形態は、過渡解析を用いずに電源電流の算出に電源線のインピーダンスの影響をEMI解析結果に盛り込む手法であり、加えて、フロアプランの段階で得られる情報からチップの電源回路の等価抵抗および等価容量を推定し、電流波形の補正をおこなう手法である。

【0257】図77および図79に本発明の実施例25から31の一実施例に関わる不要輻射解析方法の構成を

示す。先に、図77に示す電流波形補正手段を中心とする構成について説明する。図77に示す不要輻射解析装置は、等価抵抗記憶手段9401と、等価容量記憶手段9402と、電源線依存情報記憶手段9403と、電流波形記憶手段9404と、電流波形補正手段9407と、補正電流波形記憶手段9406からなる。これらのうち等価抵抗記憶手段9401と、等価容量記憶手段9402と、電源線依存情報記憶手段9403と、電流波形記憶手段9404と、補正電流波形記憶手段9406は前述のコンピュータシステムの外部記憶装置に割り当

てられている。
【0258】一方、電流波形補正手段9407は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。これらの図77を構成する個々の要素について説明する。等価抵抗記憶手段9401は、フロアプランの段階で推定する電源回路網の抵抗値の情報であり、あらかじめ等価抵抗情報として記憶されている。等価容量記憶手段9402は、フロアプランの段階で推定する電源回路網の容量値の情報であり、あらかじめ等価容量情報として記憶されている。電源線依存情報記憶手段9403は、理想電源として算出している推定電流波形を電源回路網の等価容量や等価抵抗の情報に基づき補正するための情報であり、あらかじめテーブルや数式として記憶している。そして、電流波形記憶手段9404と、イベントドリブン型シミュレータで計算された推定電流波形の情報であり、あらかじめ図71に示すような推定電流波形情報を記憶している。この推定電流波形情報は、イベントの発生した時刻と三角形の底辺および高さの情報から構成されている。補正電流波形記憶手段9406は、電流波形補正手段9407で計算された補正電流波形情報を記憶するものである。電流波形補正手段9407では、上記、等価抵抗情報9401、等価容量情報9402、電源線依存情報9403から、電流波形の補正をする補正係数を求める工程と、求めた補正係数を用いて、上記、電流波形9404に補正を施し、補正電流波形9406を求める工程で構成されるものである。

【0259】実施例としての処理フローは、後述する。ひきつづき、図79に示す等価抵抗推定手段および等価容量推定手段を中心とする構成について説明する。図79の構成は、チップ形状情報記憶手段9601と、テクノロジー情報記憶手段9602と、電源パッド情報記憶手段9603と、構成モジュール情報記憶手段9604と、電源配線幅情報記憶手段9605と、データベース記憶手段9607と、等価抵抗推定手段9608と、等価容量推定手段9609と、等価抵抗記憶手段9610と、等価容量記憶手段9611からなる。

【0260】これらのうちチップ形状情報記憶手段9601と、テクノロジー情報記憶手段9602と、電源パッド情報記憶手段9603と、構成モジュール情報記憶

手段9604と、電源配線幅情報記憶手段9605と、データベース記憶手段9607と、等価抵抗記憶手段9610と、等価容量記憶手段9611は前述のコンピュータシステムの外部記憶装置に割り当てられている。

【0261】一方、等価抵抗推定手段9608と、等価容量推定手段9609は前述のコンピュータシステムの電源考慮演算部にそれぞれの構成要素の各ステップを持つプログラム群として記憶されている。第25の実施の形態は、図77に示す不要輻射解析方法全体の概念を示している。第26の実施の形態は、図80に示す電流波形補正手段のフローチャートのステップ9703に示すように、等価抵抗および等価容量をチップの面積情報から推定する。第27の実施の形態は、図80に示す電流波形補正手段のフローチャートのステップ9704に示すように、等価抵抗および等価容量をテクノロジー情報から推定する。

【0262】第28の実施の形態は、図80に示す電流波形補正手段のフローチャートのステップ9705に示すように、等価抵抗および等価容量をチップ形状と電源パッドの位置から推定する。第28の実施の形態は、図80に示す電流波形補正手段のフローチャートのステップ9706に示すように、等価抵抗および等価容量を電源パッド数から推定する。第28の実施の形態は、図80に示す電流波形補正手段のフローチャートのステップ9707に示すように、等価抵抗および等価容量を電源配線の幅情報から推定する。第28の実施の形態は、図80に示す電流波形補正手段のフローチャートのステップ9708に示すように、等価抵抗および等価容量を電源配線下の容量生成領域情報情報から推定する。

【0263】次に、これらの図79の不要輻射解析方法を構成する個々の要素について説明する。チップ形状情報記憶手段9601は、対象チップの形状に関する情報をもつ。このチップ形状情報には、

- ・仕様段階で決定しているチップの面積・仕様段階で決定しているチップの形
- などが入力される。そのうち、「仕様段階で決定しているチップの面積」をのぞき、これら構成要素がすべて入力されている必要はない。

【0264】テクノロジー情報記憶手段9602は、対象チップの製造プロセスの情報をもつ。このテクノロジー情報には、

- ・仕様段階で決定している電源配線層の情報
- ・仕様段階で決定している配線層間の誘電率
- ・仕様段階で決定している電源配線シート抵抗値
- ・仕様段階で決定している適用テクノロジー

などが入力される。これら構成要素がすべて入力されている必要はない。

【0265】電源パッド情報記憶手段9603は、対象チップの電源パッドの情報をもつ。この電源パッド情報には、

・仕様段階で決定している電源パッド数
 ・電源パッド位置
 などが入力される。これら構成要素がすべて入力されている必要はない。構成モジュール情報記憶手段9604は、対象チップを構成している各機能モジュールの情報をもつ。この各モジュールの面積情報には、
 ・仕様段階で決定している各機能モジュールの種類
 ・仕様段階で予想される、またはフロアプランで決定する、各機能モジュールの面積情報
 ・フロアプランで決定する各機能モジュールの位置情報
 ・フロアプランで決定する各機能モジュールのインスタンス情報
 ・仕様段階で予想される、またはフロアプランで決定する、各モジュール内の電源配線の幅
 ・仕様段階で予想される、またはフロアプランで決定する、各モジュール周辺に施す容量セルの有無などが入力される。

これら構成要素がすべて入力されている必要はない。

【0266】電源配線幅情報記憶手段9605は、対象チップの電源配線の幅に関する情報をもつ。この電源配線幅情報には、

・仕様段階で予想される、またはフロアプランで決定する、チップの周りに施すリング電源配線の有無とその幅
 ・仕様段階で予想される、またはフロアプランで決定する、各モジュール間に配線する基幹電源配線の幅
 ・仕様段階で予想される、またはフロアプランで決定する、各モジュール間に施すストラップ電源の幅
 ・仕様段階で予想される、またはフロアプランで決定する、電源配線下のデカップリング容量セルの有無
 などが入力される。これら構成要素がすべて入力されている必要はない。

【0267】データベース記憶手段9607は、等価抵抗、等価容量の推定に必要となる上記入力項目に応じたデータベース情報をもつ。等価抵抗記憶手段9610は、等価抵抗推定手段9608で算出されるチップの等価抵抗を記憶する。等価容量記憶手段9611は、等価容量推定手段9609で推定されるチップの等価容量を記憶する。等価抵抗推定手段9608では、上記各記憶手段から読み込まれる情報に基づいてチップの等価抵抗の推定をおこなう。

【0268】実施例としての処理フローは、後述する。等価容量推定手段9609では、上記、各記憶手段から読み込まれる情報に基づいてチップの等価容量の推定をおこなう。実施例としての処理フローは、後述する。ひきつづき、実施例25乃至31として、等価抵抗推定手段9608および等価容量推定手段9609の実施例を図80に示すようなフローチャートに従って説明する。まず、ステップ9701で、データベース記憶手段9607に記憶されたデータベース情報(図81)を読みこむ。このデータベース(図81)は、あるチップの各種

パラメータ情報と、等価抵抗および等価容量の情報で構成されている。各種パラメータ情報は、チップ設計初期の仕様段階あるいはフロアプラン工程で得ている。等価抵抗および等価容量情報は、前記実施例19のフローによって得ている。すなわち、この等価抵抗、等価容量はレイアウト設計終了後のLPE処理で得ることのできる電源回路網の抵抗容量ネットワーク情報から算出しているものであるため、高精度である。

【0269】図82は、このデータベースチップのイメージ図である。ステップ9702で、チップ形状情報記憶手段9601、テクノロジー情報記憶手段9502、電源パッド情報記憶手段9603、構成モジュール情報記憶手段9604および電源配線幅情報記憶手段9605に記憶された、電流波形補正をおこなう対象チップの各種パラメータ情報(図83)を読み込む。

【0270】図83の項目中、単位面積あたりの容量に関しては、テクノロジー情報記憶手段に記憶されている電源配線層にメタルの何層目が用いられているかの情報と、層間の誘電率から容易に求められる。その他の項目は、上記各記憶情報での構成要素の説明のものである。

【0271】この各種パラメータ情報は、先に読み込んでいるデータベースの各種パラメータ情報と対を成すものであり、後のステップでは、それぞれのパラメータと比較をおこなうことでデータベースの等価抵抗、等価容量を変更していき、対象チップの等価抵抗、等価容量を推定する。

【0272】また、対象チップの各種パラメータ情報は、すべての項目が入力されている必要はない。入力されていない項目に関しては、そのパラメータの比較をおこなうステップが省略される。本実施例では、図83が与えられたとして、後のステップの説明をおこなう。

【0273】図84は、電流波形補正をおこなう対象チップのイメージ図である。実施例26では、ステップ9703で、チップ面積情報に基づき、データベースの等価抵抗値および等価容量値を変更する。図85は、等価抵抗、等価容量の面積依存性を示した図である。図85で、図85(a)の面積を4倍にしたものが図85(b)である。

【0274】電源回路の抵抗成分に関して、チップ内部を構成している電源配線の幅が同じであれば、面積が4倍となっているとき、あるインスタンスM1の等価抵抗を比較すると電源パッドからの距離が2倍となっているため、等価抵抗値も2倍となる。チップの等価抵抗は全インスタンスの等価抵抗の和をインスタンス数で割った値としているので、インスタンス数の増加に等価抵抗は影響されない。よってチップの等価抵抗は面積の平方根に比例する。本実施例では、対象チップの面積がデータベースチップの面積と比較して4倍であるから、対象チップの等価抵抗は2倍の40Ωに変更される。

$20 \times 2 = 40 \Omega$

電源回路の容量成分に関して、等価容量はチップにあるデカップリング容量の総和としているため、面積に比例すると考えることができる。本実施例では、対象チップの面積がデータベースチップの面積と比較して4倍であるから、対象チップの等価容量は4倍の800 pFに変更される。

$$200 \times 4 = 800 \text{ pF}$$

【0275】実施例27では、ステップ9704で、テクノロジー情報に基づき、等価抵抗値、等価容量値を変更する。データベースチップのテクノロジー情報と対象チップのテクノロジー情報の比較をおこない、シート抵抗値、単位面積あたりの容量値に違いがあればその情報をもって、変更をおこなう。

【0276】本実施例では、データベースチップの面積あたりの容量値1.00 pFに対して、対象チップの面積あたりの容量値は0.75 pFとなっている。ゆえに、対象チップの等価容量値は、

$$800 \text{ pF} \times 0.75 = 600 \text{ pF}$$

となる。等価抵抗値は同じであるため、変更はされない。実施例28では、ステップ9705で、チップ形状と電源パッドの位置関係に基づき、等価抵抗値を変更する。図86(a)乃至(c)は、等価抵抗、チップ形状と電源パッドの位置に対する依存性を示した図である。図86では、それぞれチップ形状と電源パッドの位置関係が異なるが3通り示されている。電源回路の抵抗成分としては、一般的にリング電源配線や基幹電源配線に寄生するグローバル抵抗成分と、基本セル内電源配線、基本セル間電源配線などで構成されるモジュール内の電源配線に寄生するローカル抵抗成分に分類される(図87)。図87であれば、R1、R2がグローバル抵抗、R3がローカル抵抗となる。

【0277】尚、本実施例では、フロアプラン工程にて配置をおこなうトップのモジュールに着目し、その外部をグローバル抵抗、その内部をローカル抵抗として説明をおこなうが、グローバルとローカルの境界は、求める等価抵抗(チップであるかモジュールであるか)によって、その限りではない。図86(a)は、電源パッドとの距離に応じてチップのエリアをわけているものであり、エリア1とエリア2の2通りの区分がされる。エリア1とエリア2では、ローカル抵抗はほぼ同じであると考えられるが、グローバル抵抗は、エリア2の方が大きいと考えられる。エリア1とエリア2の等価抵抗はそれぞれ、グローバル抵抗とローカル抵抗の和として考えることができる。簡単のため、エリア1のグローバル抵抗を1Ω、エリア2のグローバル抵抗を2Ωとすると、このときチップの等価抵抗のグローバル成分は、 $1 + 1 + 2 + 2 = 6 \Omega$ となる。

【0278】図86(b)は、チップ形状が違うが、電源パッドとの距離に着目すると、上図とおなじエリアに

分類され、チップの等価抵抗のグローバル成分は、

$$1 + 1 + 2 + 2 = 6 \Omega$$

となる。図86(c)は、チップ形状と電源パッドの距離が遠い、エリア3、エリア4が存在する。これらのグローバル抵抗成分は、電源パッドから遠い程大きい。簡単のため、エリア3のグローバル抵抗を3Ω、エリア4のグローバル抵抗を4Ωとすると、このときチップの等価抵抗のグローバル成分は、

$$1 + 1 + 3 + 4 = 9 \Omega$$

となる。

【0279】図86(b)のグローバル抵抗から図86(c)のグローバル抵抗を推定する場合の補正値をαgとすると、

$$\alpha g = 9 / 6 = 1.5$$

となる。さらにグローバル抵抗とローカル抵抗の支配項を示すグローバル係数をkとすると、等価抵抗への補正値をαとすると、αは、

$$\alpha = (\alpha g - 1)k + 1 = (1.5 - 1)k + 1$$

となる。

【0280】このようなグローバル抵抗と、チップ形状と電源パッドの位置の依存関係を複数データベースに記憶しておく。仮に、図86(b)がデータベースチップの形状および電源パッド位置、図86(c)が対象チップの形状および電源パッド位置、グローバル係数kが0.5の場合(グローバル係数は数種のデータベースチップから得る統計情報である)、データベースチップの等価抵抗が20Ωなら、対象チップの等価抵抗は、 $20 \times \alpha = 20 \times \{(1.5 - 1) \times 0.5 + 1\} = 20 \times 1.25 = 25 \Omega$ となる。

【0281】本実施例では、チップ形状と電源パッドの位置関係が同じであるため、このステップで等価抵抗値の変更はない。実施例29では、ステップ9706で、電源パッド数に基づき、等価抵抗値を変更する。図88(a)乃至(c)は、等価抵抗の電源パッド数依存性を示した図である。内部の回路構成は同一で、電源パッド数のみ違う例である。図88(a)のようにチップのエリアを4つに分けたとき、ステップ9705で示した通り、電源パッドからの距離に応じてエリア1とエリア2に分けることができる。簡単のためエリア1の等価抵抗値を1Ω、エリア2の等価抵抗を2Ωとする。そのときチップの等価抵抗値は、 $1 + 1 + 2 + 2 = 6 \Omega$ となる。

【0282】次に、図88(b)のように電源パッドを対角に追加する。電源パッドの追加位置については通常チップに均等になるように配置する。この時、下に配置されている電源パッドからみればエリア1とされているエリアがエリア2に、エリア2とされているところがエリア1となる。これは、ひとつのエリアに2つの電源パ

ッドから電圧が供給されることを意味する。簡単のため、電源パッドからそれぞれのエリアまでの電源線が電源パッドどうしで共有しないと仮定すれば、図88

(b)に示すようにそれぞれのエリアの等価抵抗値は 0.67Ω となり、チップの等価抵抗値は、
 $0.67 + 0.67 + 0.67 + 0.67 = 2.67\Omega$
 となる。

【0283】同様に考えると、図88(c)の構成のときは、チップの等価抵抗値は、

$$0.33 + 0.33 + 0.33 + 0.33 = 1.33\Omega \quad 10$$

となる。図88(b)の電源パッド構成から図88

(c)の電源パッド構成に変更されている場合、等価抵抗値に対する補正値を α_c とすると、

$$\alpha_c = 1.33 / 2.67 = 0.5$$

となる。さらに電源線の非共有係数を k とすると、等価抵抗への補正値を α とすると、 α は、

$$\alpha = (\alpha_c - 1)k + 1 = (0.5 - 1)k + 1$$

となる。

【0284】このような等価抵抗と電源パッド数の依存関係を複数データベースに記憶しておく。仮に、図88

(b)がデータベースチップの形状および電源パッド数、図88(c)が対象チップの形状および電源パッド数、電源線の非共有係数 k が0.2の場合、データベースチップの等価抵抗が 20Ω なら、対象チップの等価抵抗は、

$$20 \times \alpha = 20 \times \{ (0.5 - 1) \times 0.2 + 1 \} = 20 \times 0.9 = 18\Omega \quad 20$$

となる。

【0285】本実施例では、データベースチップの電源パッドが1で、対象チップの電源パッドが2である。データベースチップからあらかじめ求められているエリアごとの等価抵抗値情報および非共有係数（非共有係数は数種のデータベースチップから得る統計情報である）から対象チップに施す補正値 α が、上記の図88であれば、対象チップの等価抵抗は、

$$40 \times 0.9 = 36\Omega$$

と、さらに変更される。

【0286】実施例30では、ステップ9707で、電源配線の幅情報に基づき、等価抵抗値および等価容量値を変更する。図89(a)および(b)は、等価抵抗の電源配線幅依存性を示した図である。図89(a)でモジュールへ電源が供給される電源配線は、R1とR2の直列成分であるとする。図89(a)に対して、図89

(b)は、グローバルな電源配線であるリング配線とモジュール間基幹電源配線の幅が広がっている。今、図89(b)図で、グローバル電源配線幅が2倍になっているとすると、抵抗は配線幅に反比例するので、R4、R5はR1、R2のそれぞれ $1/2$ となる。すなわち図89(b)でモジュールへ供給されているグローバル電源配線の抵抗成分は $1/2$ となっている。このようにチ

ップ全体のグローバル電源配線の抵抗値は、グローバル電源幅に反比例すると考えることができる。したがってチップのグローバル抵抗の補正係数を α_g とすると、 α_g は、

$$\alpha_g = (1/2) = 0.5$$

となる。

【0287】さらにグローバル抵抗とローカル抵抗の支配項を示すグローバル係数を k が0.5の場合、チップの等価抵抗に対する補正係数を α とすると、 α は、

$$\alpha = \{ (0.5 - 1) \times 0.5 + 1 \} = 0.75$$

となる。グローバル係数は数種のデータベースチップから得る統計情報である。

【0288】本実施例では、データベースチップに対して対象チップのグローバル電源配線の幅が1.5倍となっている。モジュール内の配線幅は、同じである。また、データベースチップからあらかじめ求められているグローバル係数 k が0.5であるとする、対象チップの等価抵抗は、

$$36 \times \{ (0.67 - 1) \times 0.5 + 1 \} = 36 \times 1.16 = 40\Omega$$

と、さらに変更される。

【0289】図90は、容量値の電源配線幅依存性を示した図である。図90のとおり電源配線の容量成分は、電源配線の幅に比例する。データベースチップの等価容量値から対象チップの等価容量値に変更をする時は、最初の工程であるステップ9703でのチップ面積情報の反映において、この電源配線幅の考慮が行われているため、実施しない。この電源配線幅による等価容量値の変更を行うのは、面積が同じで、電源配線の幅を変更した時である。仕様段階での電源配線幅から、フロアプラン工程において電源配線幅に変更を施した場合などが相当する。

【0290】等価容量値と電源配線幅の関係は、等価抵抗値と電源配線幅の関係と正反対となり、等価容量値は電源配線幅に比例して変更するようにする。また、容量成分に関しては、グローバル配線でのデカップリング容量が支配的であるため、変更に際してローカル配線部分は考慮しない。

【0291】今、図89(a)が仕様段階での配線幅、図89(b)がフロアプランで決定した配線幅、両図の面積は同じとする。図89(a)の段階でのチップの等価容量値が 500pF で、図89(b)の段階で配線幅が2倍になったとすると、チップの等価容量値は、
 $500 \times 2 = 1000\text{pF}$
 となる。

【0292】本実施例では、データベースチップの等価容量値から変更をおこなうフローにしたがっているため、ここで等価容量値の変更はない。実施例31では、ステップ9708で、電源配線下のデカップリング容量セルの有無に基づき、等価容量値を変更する。デカップ

リング容量セルを電源配線下に作りこむかどうかの情報から、電源配線の面積あたりの容量値が変更されることとなる。今、電源配線下に生じる単位面積あたりの寄生カップリング容量を1.00 pF、電源配線下に作りこむゲート容量による容量セルの単位面積あたりの値を2.00 pFとすると、電源配線下のすべてに容量セルをつくると、つくらない場合に比べて2倍でカップリング容量値となる。

【0293】本実施例において、データベースチップでは容量セルをつくらないのに対して、対象チップでは、全電源配線下に容量セルを作りこむとする。上のように、単位面積あたりの寄生カップリング容量が1.00 pF、単位面積あたりの容量セルが2.00 pFとすると、チップの等価容量は、 $600 \text{ pF} \times 2 = 1200 \text{ pF}$ となる。

【0294】ステップ9709で、等価抵抗値、等価容量記憶手段および等価容量記憶手段に記憶する。本実施例のデータベースチップと対象チップの場合、以上のステップを経て、対象チップの等価抵抗、等価容量が、等価抵抗：30Ω
等価容量：1200 pFと推定される。

【0295】尚、本実施例で説明をおこなったステップはすべて行う必要はなく、対象チップの情報がえられている項目に対しておこなうだけでもよい。以上のようにして、実施例25から実施例31記載の等価抵抗推定手段および等価容量推定手段が実現される。

【0296】ひきつづき、実施例25から実施例31の実施例として、電流波形補正手段9407の実施例を図78に示すようなフローチャートに従って説明する。尚、ステップ9501、ステップ9502、ステップ9505およびステップ9506以外の各ステップは、図69と同様であり、実施例19で説明したとおりである。

【0297】まずステップ9501で、等価抵抗記憶手段9401に記憶されたチップの等価抵抗情報を読みこむ。ついで、ステップ9502で、等価容量記憶手段9402に記憶されたチップの等価容量情報を読みこむ。こののち、ステップ9503で、電源線依存情報記憶手段9403に記憶された図68に示す電源線依存情報を読みこむ。さらにステップ9504で、電流波形記憶手段9404に記憶された図71に示す推定電流波形のイベント単位モデルを読みこむ。そして、ステップ9505で、抵抗情報からチップの等価抵抗を計算する。本実施例では、抵抗情報はすでにチップの等価抵抗となっているので、このステップは実質的には省略される。こののち、ステップ9506で、容量情報からチップの等価容量を計算する。

【0298】本実施例では、容量情報はすでにチップの

等価容量となっているので、このステップは実質的には省略される。さらにステップ9507で、電流補正項目ごとの電源線依存情報9403に、ステップ9505で得た等価抵抗とステップ9506で得た等価容量を適用して、対象回路の電流補正係数を求める。そして、ステップ9508で、電流波形情報9404に対して、ステップ9507で得た電流補正係数を用いて電流波形を補正する。こののち、ステップ9509で、補正の完了した電流波形を、補正電流波形情報として記憶する(9406)。

【0299】以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮したEMI解析が実現される。さらに、実施例25の効果として、レイアウトの完成を待たず、早期設計段階において電源線の影響を考慮したEMI解析が実現できる。さらに、実施例26の効果として、チップ面積情報を用いることで、高精度に電源線の影響を考慮したEMI解析が実現できる。さらに、実施例27の効果として、テクノロジー情報を用いることで、高精度に電源線の影響を考慮したEMI解析が実現できる。テクノロジーごとにデータベースを用意する必要がないメリットもある。さらに、実施例28の効果として、チップ形状および電源パッドの位置情報を用いることで、さらに高精度に電源線の影響を考慮したEMI解析が実現できる。

【0300】さらに、実施例29の効果として、電源パッド数情報を用いることで、高精度に電源線の影響を考慮したEMI解析が実現できる。電源パッド数のEMIに対する最適化をフロアプランの段階で行うことが可能となる。さらに、実施例30の効果として、チップを構成する電源配線の幅情報を用いることで、高精度に電源線の影響を考慮したEMI解析が実現できる。電源配線幅のEMIに対する最適化をフロアプランの段階で行うことが可能となる。さらに、実施例31の効果として、電源配線下の容量生成領域情報を用いることで、高精度に電源線の影響を考慮したEMI解析が実現できる。容量生成のEMIに対する最適化をフロアプランの段階で行うことが可能となる。

【0301】(第32の実施の形態)実施形態19から24では、チップの等価抵抗および等価容量を算出し、チップ全体にわたって同じ電流補正を行っている。実施形態32では、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうという手法である。本発明の実施形態32に関わる不要輻射解析方法を説明する。システム構成は、実施例19で示した図64と同じであるので、本システムの個々の構成要素の説明は省略する。また、本実施例の電流波形補正手段は、図64の電流波形補正手段8107内を表す図69のフローと同じであ

る。本実施例での図69の個々のステップに対して、説明をおこなう。ステップ8601で、抵抗記憶手段8101に記憶された図65の8201に示すような抵抗情報を読みこむ。この抵抗情報は、抵抗素子について、抵抗素子名、両端のノード名、抵抗値の情報が記載されており、図65の8202のような抵抗回路網の情報を表している。まず、ステップ8602で、容量記憶手段8102に記憶された図66の8301に示すような容量情報を読みこむ。この容量情報は、容量素子について、容量素子名、ノード名、容量値の情報が記載されており、図65の8202のような抵抗回路網に付加している容量の情報を表している。そして、ステップ8603で、電源線依存情報記憶手段8103に記憶された図68に示す電源線依存情報を読みこむ。このうち、ステップ8604で、電流波形記憶手段8104に記憶された図71に示す推定電流波形のイベント単位モデルを読みこむ。

【0302】さらに、ステップ8605で、抵抗情報からチップの等価抵抗を計算する。実施例19はチップに対して等価抵抗を算出しているが、本実施例ではモジュール毎に等価抵抗を算出する。対象モジュール内の抵抗素子および電源から対象モジュールまでに存在する電源回路網の抵抗素子を直流回路として扱い、対象モジュールの等価抵抗を算出する。あるいは実施例24のように対象となる抵抗素子の総和をもとめ、平方根（正值）をとることでモジュールの等価抵抗を推定する。

【0303】このうちステップ8606で、容量情報からチップの等価容量を計算する。実施例19でのテーブルの求め方（3）では、チップの等価容量値をチップの総容量を足し合わせて算出した。これと同様の考え方で、モジュールごとの等価容量値は対象モジュール内の容量素子および電源から対象モジュールまでに存在する容量素子の容量値を足し合わせて算出する。

【0304】ステップ8607で、電流補正項目ごとの電源線依存情報8103に、ステップ8605で得たモジュールの等価抵抗とステップ8606で得たモジュールの等価容量を適用して、対象モジュールの電流補正係数を求める。ステップ8608で、電流波形情報8104に対して、ステップ8607で得たモジュールごとの電流補正係数を用いてモジュールごとに電流波形を補正し、それらを足し合わせる。

【0305】ステップ8609で、補正の完了した電流波形を、補正電流波形情報として記憶する（8106）。以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮したEMI解析が実現される。さらに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができる。

【0306】尚、モジュールごとにFFT解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶しFFT解析に用いることで、高精度なモジュールごとのEMI解析が実現できる。

【0307】（第33の実施の形態）実施形態25から31では、チップの等価抵抗および等価容量を推定し、チップ全体にわたって同じ電流補正を行っている。実施形態33では、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出したことで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうという手法である。

【0308】本発明の実施形態33の一実施例に関わる不要輻射解析方法を説明する。システム構成は、実施形態25で示した図77と同じであるので、本システムの個々の構成要素の説明は省略する。また、本実施形態の電流波形補正手段は、図77の電流波形補正手段9407内を表す図78のフローに対してチップの等価抵抗、等価容量を用いるのに代わり、モジュールの等価抵抗、等価容量を用いることで実施される。

【0309】等価抵抗推定および等価容量推定に関するシステム構成は、実施例25で示した図79と同じ構成であるため、説明を省略する。また、本実施例の等価抵抗推定手段および等価容量推定手段は、図79の等価抵抗推定手段9608および等価容量推定手段9609内を表す図80のフローで、チップに対して行っている処理をモジュールに対して行うことで実施される。その際、電源パッドに代わって、モジュールの電源供給口を電源パッド情報として用いる。

【0310】さらに、図80のステップ9708までで求めたモジュールの等価抵抗、等価容量は、モジュール内のローカル抵抗、ローカル容量であるため、チップの電源パッドからモジュールまでに存在するグローバル抵抗、グローバル容量を付加しなければならない。グローバル抵抗、グローバル容量は、モジュールの電源供給口からチップの電源パッドまでの距離と、電源配線幅の情報から容易に求められる。このグローバル抵抗、グローバル容量を先のステップ9708で求めた等価抵抗、等価容量に足し合わせることで、モジュール毎の等価抵抗、等価容量が推定できる。

【0311】以上のように、本実施例では過渡解析を用いないため従来例よりも高速で、電源線を考慮したEMI解析が実現される。さらに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出したことで、個々のモジュールに対してより正確な推定電流波形の補正をプリレイアウトの段階でおこなうことができる。

【0312】尚、モジュールごとにFFT解析をおこな

う場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶しFFT解析に用いることで、高精度なモジュールごとのEMI解析が実現できる。

【0313】(第35の実施の形態)実施形態35は、不要輻射解析における電源線のインダクタンス成分を考慮する手法である。この例は、実施形態19の図64とほぼ同様のシステムである。

【0314】図64において、電源線依存情報から電流補正係数を算出する際、チップのパッケージ情報から電源リード部および電源ワイヤボンディング部に相当するインダクタンス成分を、抵抗、容量に加え、第三の要素とすればよい。電源のインダクタンス成分と電流波形の関係を事前にテーブル化し、電源線依存情報として加えることで実現できる。

【0315】この実施形態35の効果として、チップのパッケージのインダクタンス成分を考慮した高精度な電流補正が可能となる。

【0316】(第36の実施の形態)実施形態36は、不要輻射解析における理想電源の電流波形に対する電源線考慮方法として、推定電流波形のイベント単位モデルに対して補正する手法に代わり、理想電源として求めたEMI解析対象の電流波形に対して補正を行う手法である。この例は、実施形態19の図64とほぼ同様のシステムである。

【0317】図64において、電流波形記憶手段に、推定電流波形のイベント単位モデルのかわりに、理想電源として求めたチップまたはモジュールの電源電流波形を記憶し、その電源電流波形に補正をおこなうことで実現できる。

【0318】この実施形態36の効果として、理想電源として求めたチップまたはモジュールの電源電流波形に補正を行うため、チップまたはモジュールの電源電流を算出する段階まで処理を進めることが可能となる。レイアウト完成前あるいはフロアプラン工程前に作業を進めることでEMI解析全体の短TAT化が実現できる。また、トランジスタレベルでのEMI解析においても、電流波形の補正をおこない電源線の影響を考慮するという手法を使うことができるという効果がある。

【0319】

【発明の効果】本発明は、不要輻射の主要因とも言える電源電流の変化の解析において、電源及びグラウンドの抵抗、容量、インダクタンスによるデカップリングの影響をゲートレベルの電源電流計算に反映することにより高速性と高精度化を両立させ、シミュレーション上においてLSIの不要輻射を現実的な時間で評価することを可能にする。さらには、EMI発生個所の特定を支援することによる効率的なEMI対策をも可能にするものである。

【0320】1) LSIの不要輻射解析における解析機

能

以上説明したように、本発明の請求項1および2は、電流周波数成分が大きくなる周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果が得ることが出来るので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度となることに優れた効果を有する。

【0321】本発明の請求項3によれば、時間は従来例よりもかかるが、電流計算バッファに必要となるメモリを節約することができるという効果を有する。

【0322】本発明の請求項4は、処理速度を低下することなく、電流計算バッファに必要となるメモリを節約することが出来、全周波数帯域での周波数の精度を保ちながら従来例よりも高速かつ少メモリでFFT結果を得ることが出来るとともに、あらかじめ電流計算バッファに必要となるメモリが予測できるので、特にノイズの影響が周期的な繰り返しで決まってくる同期回路で高精度かつ安定動作となることに優れた効果を有する。

【0323】本発明の請求項5は、従来例よりも少メモリでFFT結果を得ることが出来、特に電流周波数成分の高い周波数が限られてくる回路でのメモリ節約率が高くなることに優れた効果を有する。

【0324】本発明の請求項6は、従来例よりも少メモリでFFT結果を得ることが出来、またあらかじめFFT結果情報に必要となるメモリを予測出来るので、特に電流周波数成分の高い周波数の数を限定できる回路において安定動作となることに優れた効果を有する。

【0325】本発明の請求項7は、従来例よりも高速となり、かつ原因個所の推定を容易とすることに優れた効果を有する。

【0326】本発明の請求項8は、従来例に対して電流計算やFFTを省略出来、高速となるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とすることに優れた効果を有する。

【0327】本発明の請求項9は、従来例に対して電流計算やFFTを省略出来、高速となるとともに、電流量の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とし、またあらかじめ電流計算に必要となるメモリを予測出来るので、特に電流量の高い回路素子の数を限定できる回路において安定動作となることに優れた効果を有する。

【0328】本発明の請求項10は、従来例に対して論理変化計算の段階で計算量節約を決定することが出来、電流計算やFFTを省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個所推定を容易とすることに優れた効果を有する。

【0329】本発明の請求項11は、従来例に対して論理変化計算の段階で計算量節約を決定することが出来、電流計算やFFTを省略し高速となるとともに、論理変化数の大きなノイズ原因となる個所を限定でき、原因個

所推定を容易とし、またあらかじめ電流計算に必要なメモリを予測出来るので、特に論理変化数の高い回路素子の数を限定できる回路において安定動作となることに優れた効果を有する。

【0330】本発明の請求項12は、従来例に対して論理変化計算以前の段階で計算量節約を決定することが出来、論理変化計算や電流計算やFFTを省略し高速となるとともに、論理変化数の大きなノイズ原因となる箇所を限定でき、原因箇所推定を容易とすることに優れた効果を有する。

【0331】2) LSIの不要輻射解析におけるユーザインターフェース

本発明の請求項13は、ノイズに影響する箇所を回路素子単位のインスタンスで特定することが可能となることに優れた効果を有する。本発明の請求項14は、ノイズに影響する箇所を1つ以上のインスタンスを単位とするブロック単位で特定するもので、請求項12の前段階でトップダウンでマクロ的に問題箇所を高速に特定することが可能となることに優れた効果を有する。

【0332】本発明の請求項15は、ノイズに影響する箇所をレジスタ・組み合わせ回路・メモリ等のインスタンス群ごとに特定する手段を有するもので、設計者がアーキテクチャーレベルでの改善をする上で必要な情報を提供できることに優れた効果を有する。

【0333】本発明の請求項16は、ノイズに影響する箇所をクロックツリー群ごとに特定する手段を有するもので、電力に大きく影響するクロック部でのノイズの影響を見ることができ、設計者がクロック制御による改善を図るのに有効であることに優れた効果を有する。

【0334】本発明の請求項17は、ノイズに影響する箇所を、同時変化(ある時間間隔内に変化)するインスタンス群ごとに特定する手段を有するもので、信号同時変化箇所でのノイズの影響を見ることができ、設計者が信号制御関連の改善を図るのに有効であることに優れた効果を有する。

【0335】本発明の請求項18は、ノイズに影響する箇所を2つ以上のインスタンスで構成されるブロック単位ではなく、各インスタンスレベルで特定することが可能となる。請求項14の例ではレジスタ・組み合わせ回路・メモリブロック内の箇所、請求項15の例ではクロック入力端子からたどって判別したクロックツリー内の箇所、請求項15の例ではノイズに影響する同時変化箇所の特定がそれぞれインスタンスレベルで可能となる。

【0336】また、各電流周波数成分のノイズの大きな箇所をネットリストに対応させて表示させることも可能であり、ネットリスト情報を、対応するレイアウト情報に置きかえることによってレイアウト上の位置情報に対応させて表示させることもできる、ことに優れた効果を有する。

【0337】本発明の請求項19は、特定の周波数に対

して従来例よりも高速に特定周波数に影響するノイズ原因箇所を特定することが可能となることに優れた効果を有する。

【0338】また、一度一チップFFT解析を行った後の原因特定段階等のように、解析したい周波数が予め決まっている場合等に有効である。

【0339】3) LSIの不要輻射解析における電源線考慮方法

本発明の請求項20は、過渡解析を用いないため従来例よりも高速に、電源線の影響を電源電流値および周波数解析結果に反映させられることに優れた効果を有する。

【0340】本発明の請求項21は、事前にテーブルを算出しておくことで、電源線の影響を電源電流値に反映させることができ、また、統計ばらつきが大きい場合や、補正係数の算出に用いる情報量が多い場合に特に有効的であることに優れた効果を有する。

【0341】本発明の請求項22は、事前の統計処理により数式を算出しておくことで、電源線の影響を電源電流値に反映させることができ、また、データ量が小さいという利点があり、統計ばらつきが少ない場合や、数式の変数部分が少ない場合に有効的であることに優れた効果を有する。

【0342】本発明の請求項23は、理想電源として求めた推定電流波形のイベント単位モデルの底辺に補正をおこない、電流波形の底辺を最適化することで、電源RC成分の影響による瞬時電流のなまりを電源電流波形に反映させられるという効果が得られることに優れた効果を有する。

【0343】本発明の請求項24は、理想電源として求めた推定電流波形のイベント単位モデルの面積に補正をおこない、電流波形の面積を最適化することで、電源RC成分の影響による電源電圧降下(IR-Drop)の影響を電源電流波形に反映させられるという効果が得られることに優れた効果を有する。

【0344】本発明の請求項25は、チップの電源回路の等価抵抗を算出する際に複雑な電源抵抗の回路網を解かなくても良いため、精度は落ちるものの、より高速なEMI解析が実現されることに優れた効果を有する。

【0345】本発明の請求項26は、レイアウトの完成を待たず、早期設計段階において電源線の影響を電源電流値に反映させられることに優れた効果を有する。

【0346】本発明の請求項27は、チップ面積情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現できることに優れた効果を有する。

【0347】本発明の請求項28は、テクノロジー情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、またテクノロジーごとにデータベースを用意する必要がないメリットもあることに優れた効果を有する。

10

20

30

40

50

【0348】本発明の請求項29は、チップ形状および電源パッドの位置情報を用いることで、早期設計段階においてさらに高精度に電源線の影響を考慮したEMI解析が実現できることに優れた効果を有する。

【0349】本発明の請求項30は、電源パッド数情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、また電源パッド数のEMIに対する最適化をフロアプランの段階で行うことが可能となることに優れた効果を有する。

【0350】本発明の請求項31は、チップを構成する電源配線の幅情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、また電源配線幅のEMIに対する最適化をフロアプランの段階で行うことが可能となることに優れた効果を有する。

【0351】本発明の請求項32は、電源配線下の容量生成領域情報を用いることで、早期設計段階において高精度に電源線の影響を考慮したEMI解析が実現でき、また容量生成のEMIに対する最適化をフロアプランの段階で行うことが可能となることに優れた効果を有する。

【0352】本発明の請求項33は、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、デカップリング容量を含む電源線の影響を電源電流値に反映させられるとともに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を算出し、各モジュールに対してそれぞれ補正係数を算出することで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができ、また、モジュールごとにFFT解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶しFFT解析に用いることで、高精度なモジュールごとのEMI解析が実現できることに優れた効果を有する。

【0353】本発明の請求項34は、ゲートレベル電源電流解析の高速性をほぼ維持した状態で、早期設計段階において予測される電源線の影響を各モジュールの特質を考慮して電源電流値に反映させられるとともに、チップ全体の等価抵抗および等価容量に代わり、モジュール毎に等価抵抗および等価容量を推定し、各モジュールに対してそれぞれ補正係数を算出したことで、個々のモジュールに対してより正確な推定電流波形の補正をおこなうことができ、さらに、モジュールごとにFFT解析をおこなう場合には、モジュールごとに補正したモジュールごとの電流モデルを情報として記憶しFFT解析に用いることで、高精度なモジュールごとのEMI解析が実現できることに優れた効果を有する。

【0354】本発明の請求項36は、チップのパッケージのインダクタンス成分を考慮した高精度な電流補正が可能となることに優れた効果を有する。

【0355】本発明の請求項37は、理想電源として求

めたチップまたはモジュールの電源電流波形に補正を行うため、チップまたはモジュールの電源電流を算出する段階まで処理を進めることが可能となり、レイアウト完成前あるいはフロアプラン工程前に作業を進めることでEMI解析全体の短TAT化が実現できる。

【0356】また、トランジスタレベルでのEMI解析においても、電流波形の補正をおこない電源線の影響を考慮するという手法を使うことができることに優れた効果を有する。

【図面の簡単な説明】

【図1】本発明の不要輻射解析方法を実現するための概念構成を示すブロック図

【図2】従来例のトランジスタレベルの不要輻射解析方法を実現するための概念構成を示すブロック図

【図3】従来例のゲートレベルの不要輻射解析方法を実現するための概念構成を示すブロック図

【図4】従来例のFFT演算部を中心とした不要輻射解析方法を実現するための構成を示すブロック図

【図5】従来例および本発明の第2、第3の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図6】本発明の第1の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図7】本発明の第1の実施の形態における詳細周波数記憶手段のデータ例を示す図

【図8】本発明の第1の実施の形態における電源電流記憶手段のデータ例を示す図

【図9】本発明の第1の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図10】本発明の第1の実施の形態におけるFFT解析のフローチャート

【図11】本発明の第2の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図12】本発明の第2、第3の実施の形態におけるネットリスト記憶手段のデータ例を示す図

【図13】本発明の第2、第3、第6、第7、第8の実施の形態におけるテストベクタ記憶手段のデータ例を示す図

【図14】本発明の第6、第7、第8、第9、第10、第11の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図15】本発明の第2の実施の形態における電流FFT解析のフローチャート

【図16】本発明の第3の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図17】本発明の第3の実施の形態における電源電流記憶手段のデータ例を示す図

【図18】本発明の第3の実施の形態におけるFFT解析のフローチャート

【図19】本発明の第4の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図20】本発明の第4の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図21】本発明の第4の実施の形態におけるFFT解析のフローチャート

【図22】本発明の第5の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図23】本発明の第5の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図24】本発明の第5の実施の形態におけるFFT解析のフローチャート

【図25】本発明の第6、第7、第8の実施の形態におけるネットリスト記憶手段のデータ例を示す図

【図26】本発明の第6の実施の形態におけるEMI解析対象情報記憶手段のデータ例を示す図

【図27】本発明の第6の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図28】本発明の第6の実施の形態における電流FFT解析のフローチャート

【図29】本発明の第7の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図30】本発明の第7の実施の形態における電流FFT解析のフローチャート

【図31】本発明の第8の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図32】本発明の第8の実施の形態における電流FFT解析のフローチャート

【図33】本発明の第9の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図34】本発明の第9、第10、第11の実施の形態におけるネットリスト記憶手段のデータ例を示す図

【図35】本発明の第9、第10、第11の実施の形態におけるテストベクタ記憶手段のデータ例を示す図

【図36】本発明の第9、第10の実施の形態における論理変化記憶手段のデータ例を示す図

【図37】本発明の第9の実施の形態における電流FFT解析のフローチャート

【図38】本発明の第10の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図39】本発明の第10の実施の形態における電流FFT解析のフローチャート

【図40】本発明の第11の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図41】本発明の第11の実施の形態における電流FFT解析のフローチャート

【図42】本発明の第12、第13の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図43】本発明の第12の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図44】本発明の第12の実施の形態におけるソート

結果記憶手段のデータ例を示す図

【図45】本発明の第12の実施の形態におけるFFTソート手段のフローチャート

【図46】本発明の第13の実施の形態におけるFFT結果記憶手段のデータ例を示す図

【図47】本発明の第13の実施の形態におけるソート結果記憶手段のデータ例を示す図

【図48】本発明の第13の実施の形態におけるFFTソート手段のフローチャート

10 【図49】本発明の第14の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図50】本発明の第14の実施の形態におけるインスタンス毎の電流情報記憶手段のデータ例を示す図

【図51】本発明の第14の実施の形態におけるグループ化情報のデータ例を示す図

【図52】本発明の第14の実施の形態におけるグループ毎の電流情報記憶手段のデータ例を示す図

【図53】本発明の第14の実施の形態におけるグループ・インスタンス対応情報記憶手段のデータ例を示す図

20 【図54】本発明の第14の実施の形態におけるインスタンスグルーピング手段のフローチャート

【図55】本発明の第15、第16の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図56】本発明の第15の実施の形態におけるグループ化情報のデータ例を示す図

【図57】本発明の第15の実施の形態におけるインスタンスグルーピング手段のフローチャート

【図58】本発明の第15の実施の形態におけるネットリスト情報記憶手段のデータ例を示す図

【図59】本発明の第16の実施の形態におけるインスタンスグルーピング手段のフローチャート

【図60】本発明の第16の実施の形態におけるネットリスト情報記憶手段のデータ例を示す図

【図61】本発明の第17の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図62】本発明の第18の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図63】本発明の第19から第23の実施の形態におけるチップの電源電流を示す図

【図64】本発明の第19から第23の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図65】本発明の第19から第23の実施の形態における抵抗記憶手段のデータ例を示す図

【図66】本発明の第19から第23の実施の形態における容量記憶手段のデータ例を示す図

【図67】本発明の第19から第23の実施の形態における電流波形記憶手段のデータ例を示す図

50 【図68】本発明の第19から第23の実施の形態にお

ける電源線依存情報記憶手段のデータ例を示す図

【図69】本発明の第19から第23の実施の形態における電流波形補正手段のフローチャート

【図70】本発明の第19から第23の実施の形態における電流波形補正手段の概念図

【図71】本発明の第20の実施の形態におけるテーブル計算方法の概念図

【図72】本発明の第20の実施の形態における等価容量・等価抵抗計算方法の概念図

【図73】本発明の第22の実施の形態における電流波 10

形補正手段の概念図

【図74】本発明の第23の実施の形態における電流波

形補正手段の概念図

【図75】本発明の第24の実施の形態における不要輻射解析方法を実現するための構成を示すブロック図

【図76】本発明の第24の実施の形態における電流波

形補正手段のフローチャート

【図77】本発明の第25から第31の実施の形態にお

ける不要輻射解析方法を実現するための構成を示すブ

ロック図

【図78】本発明の第25から第31の実施の形態にお

ける電流波形補正手段のフローチャート

【図79】本発明の第25から第31の実施の形態にお

ける不要輻射解析方法を実現するための構成を示すブ

ロック図

【図80】本発明の第25から第31の実施の形態にお

ける等価抵抗推定手段のフローチャート

【図81】本発明の第25から第31の実施の形態にお

けるデータベース記憶手段のデータ例を示す図

【図82】本発明の第25から第31の実施の形態にお

けるデータベースチップのイメージ図

【図83】本発明の第25から第31の実施の形態にお

ける電源配線幅情報記憶手段のデータ例を示す図

【図84】本発明の第25から第31の実施の形態にお

ける電流波形補正を行う対象チップのイメージ図

【図85】本発明の第26の実施の形態における等価抵

抗、等価容量の面積依存性を示した図

【図86】本発明の第28の実施の形態における等価抵

抗、チップ形状と電源パッドの位置に対する依存性を示した図

【図87】本発明の第28の実施の形態における電源回

路の抵抗成分を示した図

【図88】本発明の第29の実施の形態における等価抵

抗の電源パッド数依存性を示した図

【図89】本発明の第30の実施の形態における等価抵

抗の電源配線幅依存性を示した図

【図90】本発明の第30の実施の形態における容量値

の電源配線幅依存性を示した図

【符号の説明】

101 電源考慮演算部

106 FFT演算部

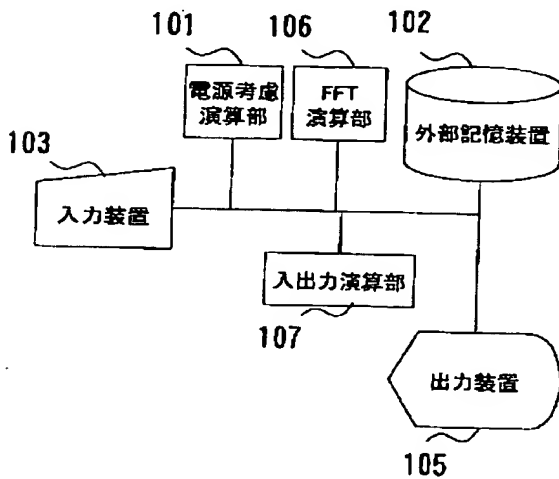
107 入出力演算部

102 外部記憶装置

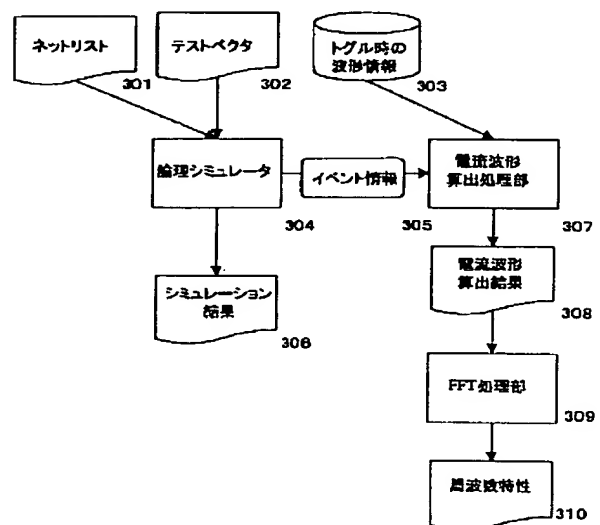
103 入力装置

105 出力装置

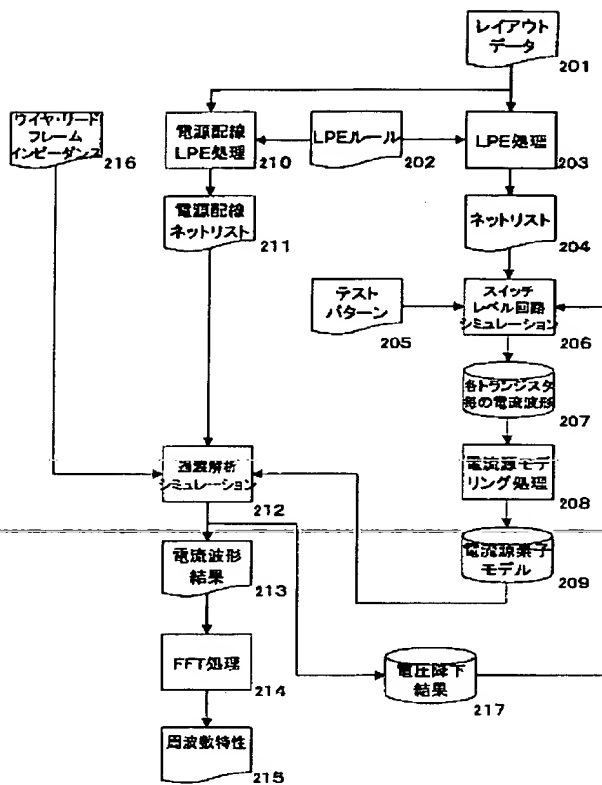
【図1】



【図3】



【図2】



【図5】

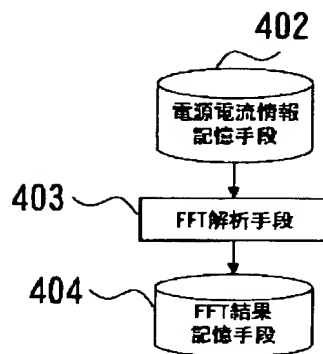
周波数 [MHz]	電流周波数成分 [mA]
0	10
5	1
10	1
15	1
20	1
25	1
30	1
35	1
40	1
45	30
50	70
55	30
55	30
60	1
65	1
70	1
75	1
80	1
85	1
90	1

501

周波数 [MHz]	電流周波数成分 [mA]
95	20
100	50
105	20
110	1
115	1
120	1
125	1

502

【図4】

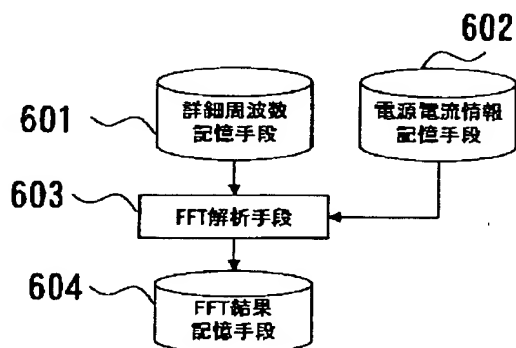


【図7】

開始周波数 [MHz]	終了周波数 [MHz]
45	55
95	105

701 702

【図6】



【図13】

時刻 [ns]	外部入力端子名	電圧値 [V]
0	A	0
90	A	2.5
190	A	0
290	A	2.5
390	A	0
490	A	2.5

1301 1302 1303

【図 8】

時刻[ns]	電源電流値[mA]
0	0
95	20
100	50
105	20
195	30
200	70
205	30
295	20
300	50
305	20
395	30
400	70
405	30
495	20
500	30
505	20

801

802

【図 9】

周波数[MHz]	電流周波数成分[mA]
0	10
25	1
45	30
50	70
55	30
75	1
95	20
100	50
105	20
125	1

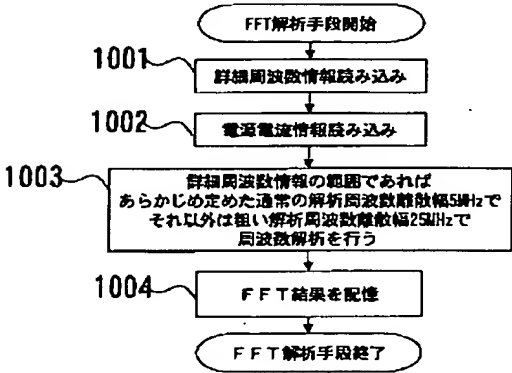
901

902

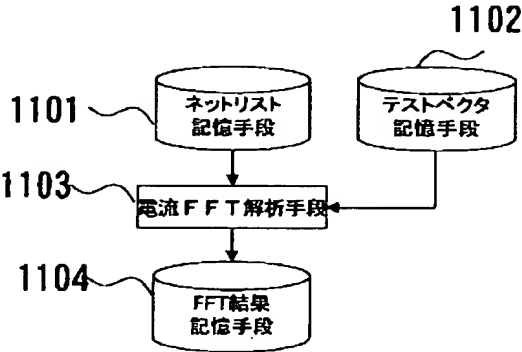
【図 26】

EM解析対象回路素子
BUF1
BUF2
BUF3
BUF4
BUF5

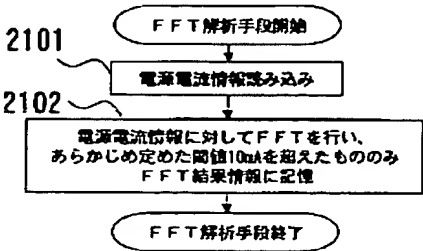
【図 10】



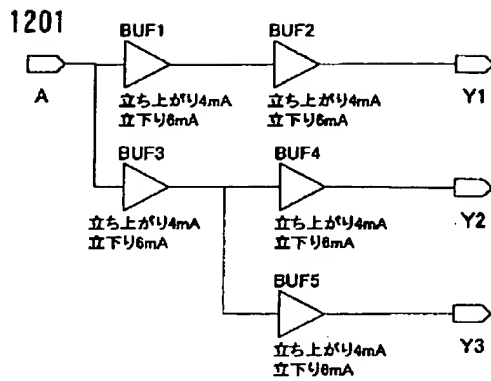
【図 11】



【図 21】



【図12】



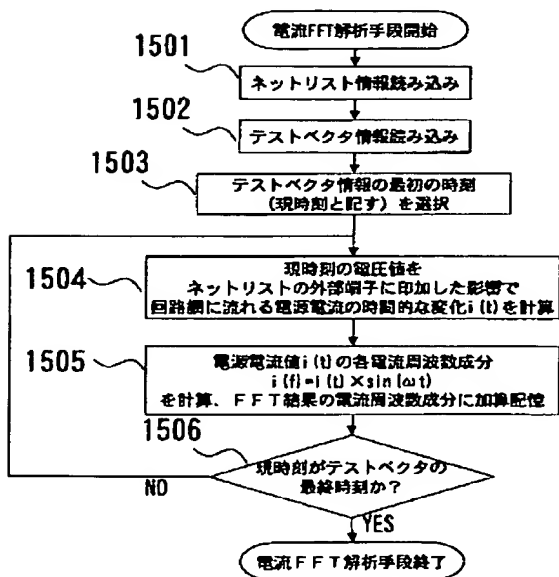
【図14】

周波数[MHz]	電流周波数成分[mA]
0	10
5	1
10	1
15	1
20	1
25	1
30	1
35	1
40	1
45	30
50	70
55	30
55	30
60	1
65	1
70	1
75	1
80	1
85	1
90	1

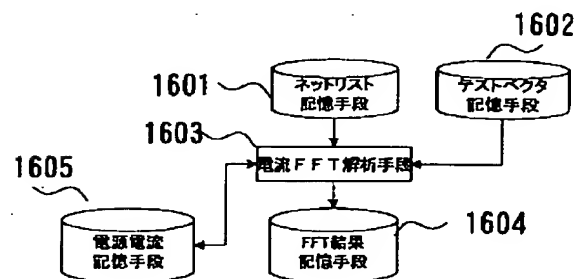
周波数[MHz]	電流周波数成分[mA]
95	20
100	50
105	20
110	1
115	1
120	1
125	1

1401 1402

【図15】



【図16】



【図20】

周波数[MHz]	電流周波数成分[mA]
0	10
45	30
50	70
55	30
95	20
100	50
105	20

2001 2002

【図17】

時刻[ns]	電流[mA]
0	0
95	20
100	50
105	20
195	30
200	70

1703

時刻[ns]	電流[mA]
200	70
205	30
295	20
300	50
305	20
395	30
400	70

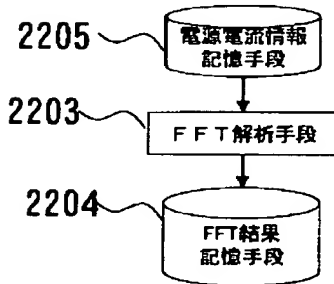
1704

時刻[ns]	電流[mA]
400	70
405	30
495	20
500	30
505	20

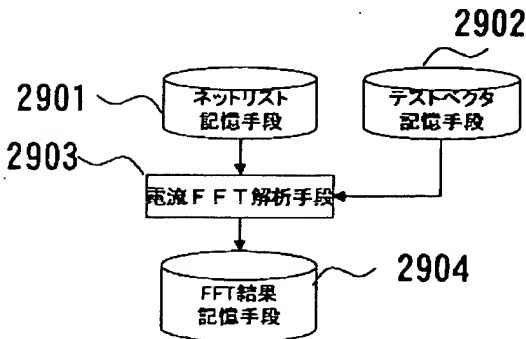
1705

1701 1702

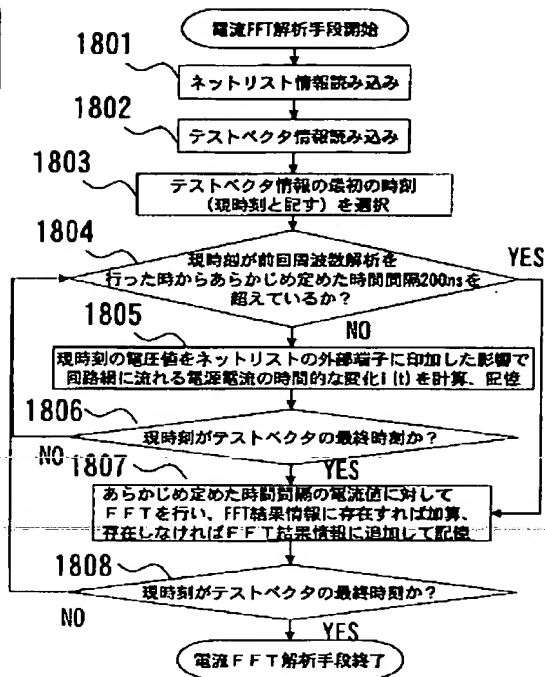
【図22】



【図29】



【図18】

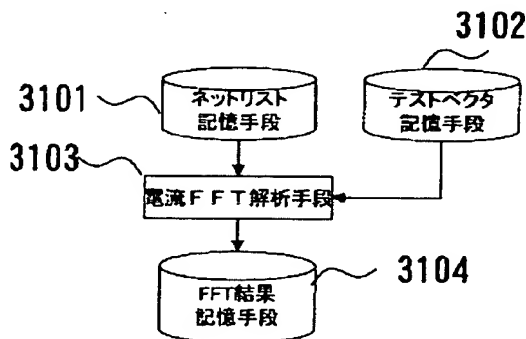


【図23】

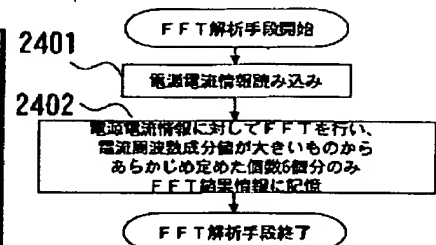
周波数[MHz]	電流周波数成分[mA]
50	70
100	50
45	30
55	30
95	20
105	20

2301 2302

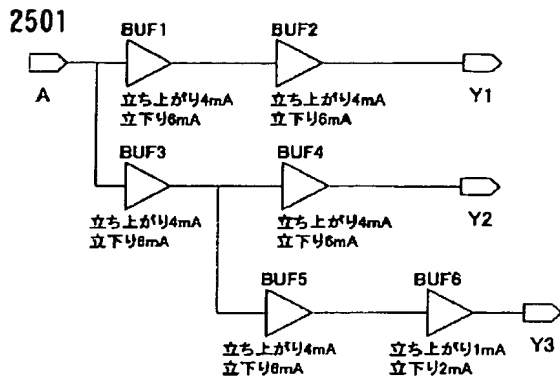
【図31】



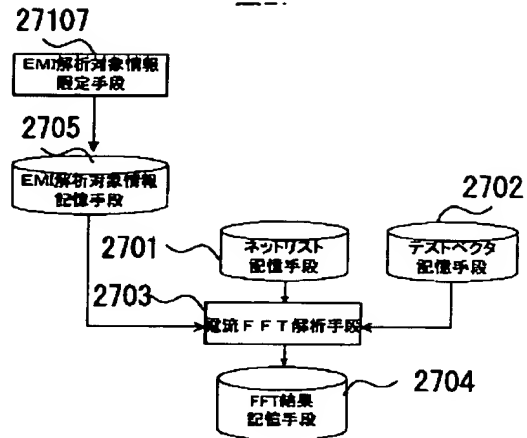
【図24】



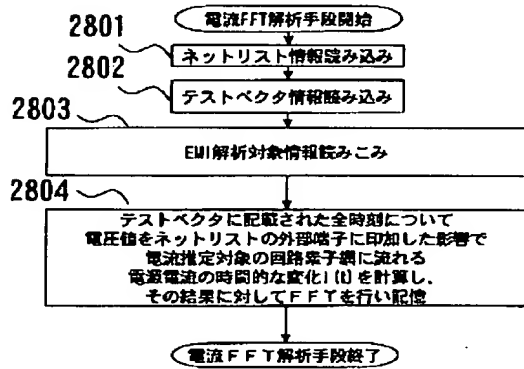
【図25】



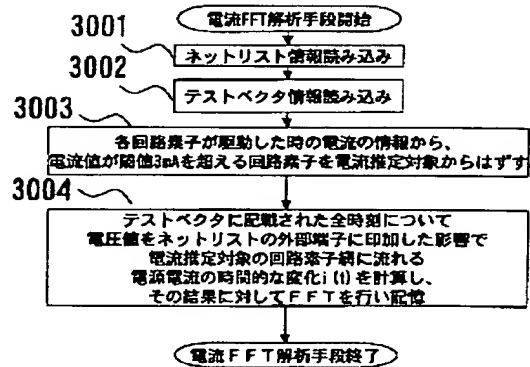
【図27】



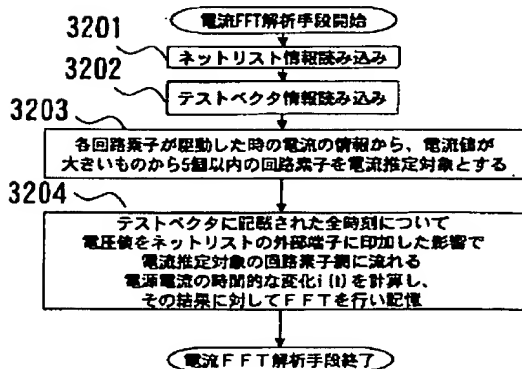
【図28】



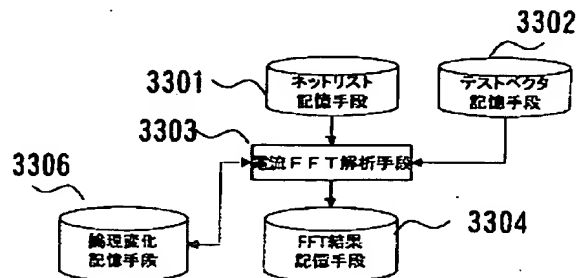
【図30】



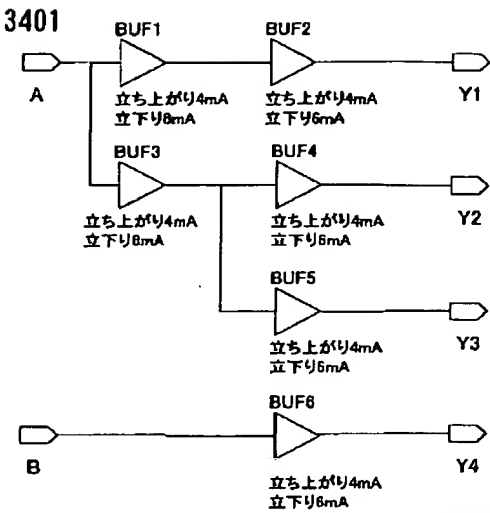
【図32】



【図33】



【図34】



【図35】

時刻[ns]	外部端子名	論理値
0	A	0
90	A	1
190	A	0
290	A	1
390	A	0
490	A	1
0	B	0
190	B	1
390	B	0

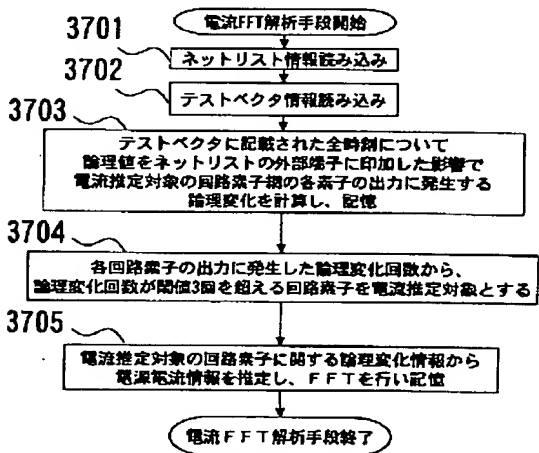
3501 3502 3503

【図36】

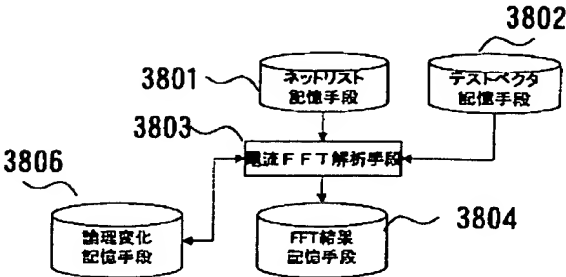
時刻[ns]	素子名	論理値
0	BUF1, BUF2, BUF3, BUF4, BUF5	0
90	BUF1, BUF2, BUF3, BUF4, BUF5	1
190	BUF1, BUF2, BUF3, BUF4, BUF5	0
290	BUF1, BUF2, BUF3, BUF4, BUF5	1
390	BUF1, BUF2, BUF3, BUF4, BUF5	0
490	BUF1, BUF2, BUF3, BUF4, BUF5	1
0	BUF6	0
190	BUF6	1
390	BUF6	0

3601 3602 3603

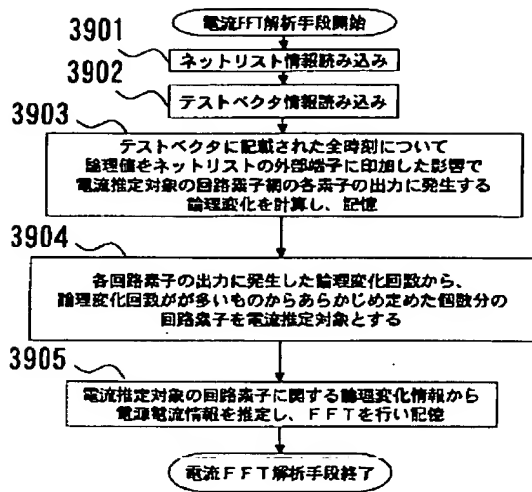
【図37】



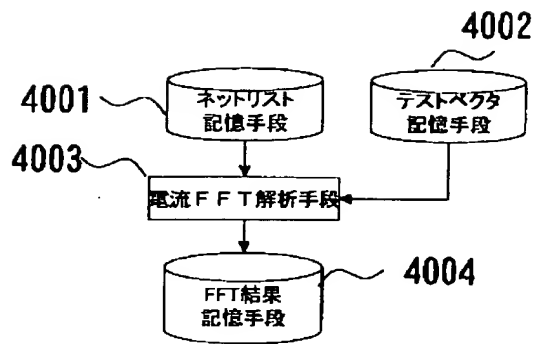
【図38】



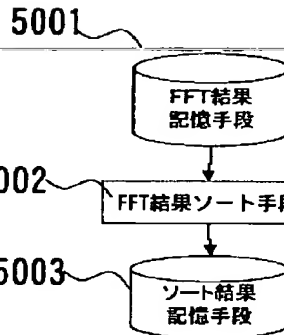
【図39】



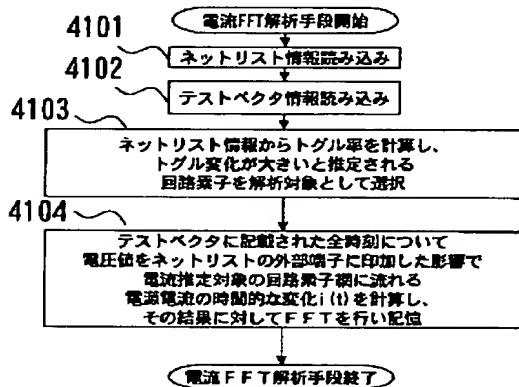
【図40】



【図42】



【図41】



【図43】

インスタンス名	FFT結果の周波数	電流周波数成分
M1	50	1.1
	100	1.7
	150	2.0
	200	1.9
	250	1.6
	300	0.8
	350	1.5
	400	1.8
M2	50	1.5
	100	2.0
	150	1.6
	200	0.9
	250	1.2
	300	1.5
	350	1.7
	400	1.1

5101

5102

5103

51

【図44】

周波数	インスタンス	電流周波数成分
50	M4	2.0
	M3	1.8
	M8	1.7
	M2	1.5
	M7	1.4
	M5	1.3
	M1	1.1
	M6	0.9
100	M2	2.0
	M6	1.9
	M5	1.8
	M1	1.7
	M4	1.5
	M3	1.3
	M6	1.1

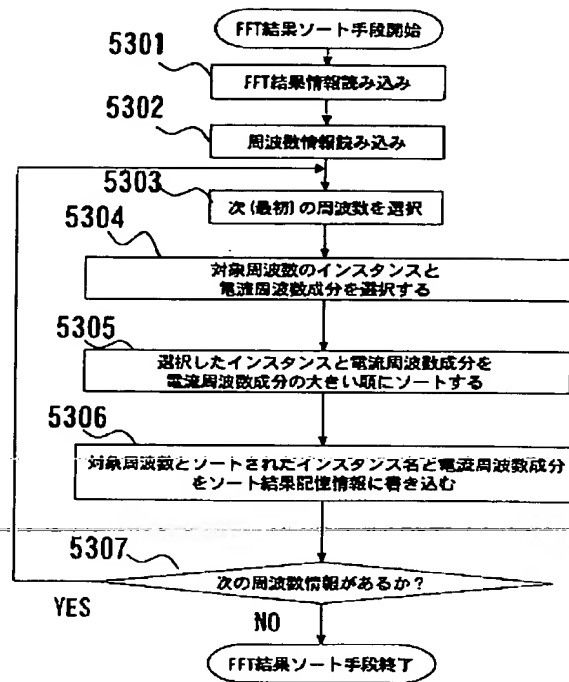
5201

5202

5203

52

【図45】



YES

NO

FFT結果ソート手段終了

【図46】

インスタンスグループ	FFT結果の周波数	電流周波数成分
G1	50	1.1
	100	1.7
	150	2.0
	200	1.9
	250	1.6
	300	0.8
	350	1.5
	400	1.8
G2	50	1.5
	100	2.0
	150	1.6
	200	0.9
	250	1.2
	300	1.5
	350	1.7
	400	1.1

5401

5402

5403

54

【図47】

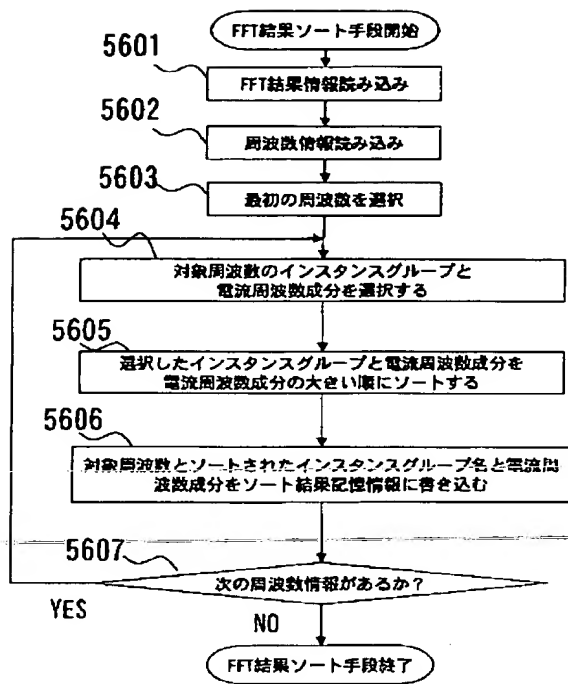
周波数	インスタンスグループ	電流周波数成分
50	G4	2.0
	G3	1.8
	G8	1.7
	G2	1.5
	G7	1.4
	G5	1.3
	G1	1.1
	G6	0.9
100	G2	2.0
	G6	1.9
	G5	1.8
	G1	1.7
	G4	1.5
	G3	1.3
	G6	1.1
	G7	1.0

5501

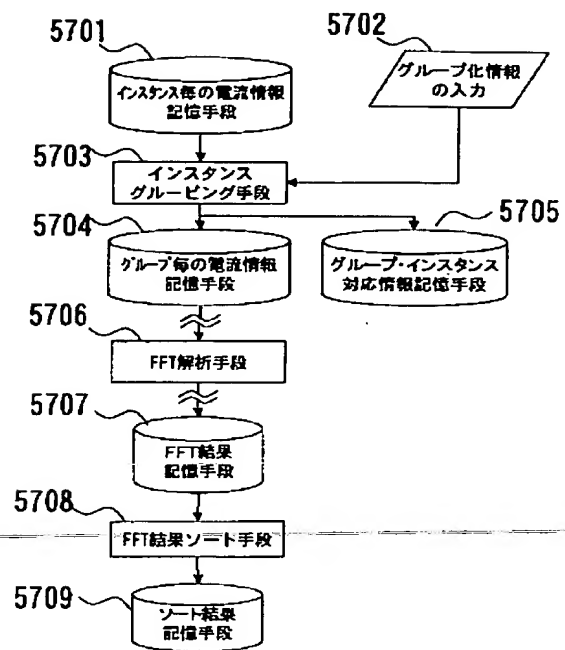
5502

5503

【図48】



【図49】



【図50】

インスタンス名	時刻	電流
M1	50	2
	100	1
	150	3
	200	2
	250	4
	300	1
	350	2
	400	3
M2	50	5
	100	7
	150	9
	200	6
	250	4
	300	5
	350	3
	400	5

5801

5802

5803

【図51】

セル情報	プロパティ情報
AND	1
OR	1
FF	2
SRAM	3
DRAM	3
IO1	4
IO2	4
.	.
.	.
.	.

5901

5902

【図52】

インスタンスグループ	時刻	電流
G1	50	20
	100	10
	150	30
	200	20
	250	40
	300	10
	350	20
	400	30
G2	50	50
	100	70
	150	90
	200	60
	250	40
	300	50
	350	30
	400	50

6001

6002

6003

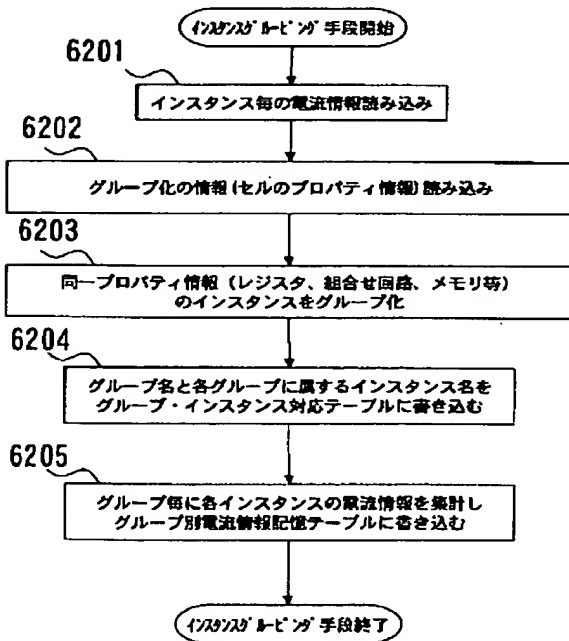
【図53】

インスタンスグループ	インスタンス名
G1	50
	100
	150
	200
	250
	300
	350
	400
G2	50
	100
	150
	200
	250
	300
	350
	400

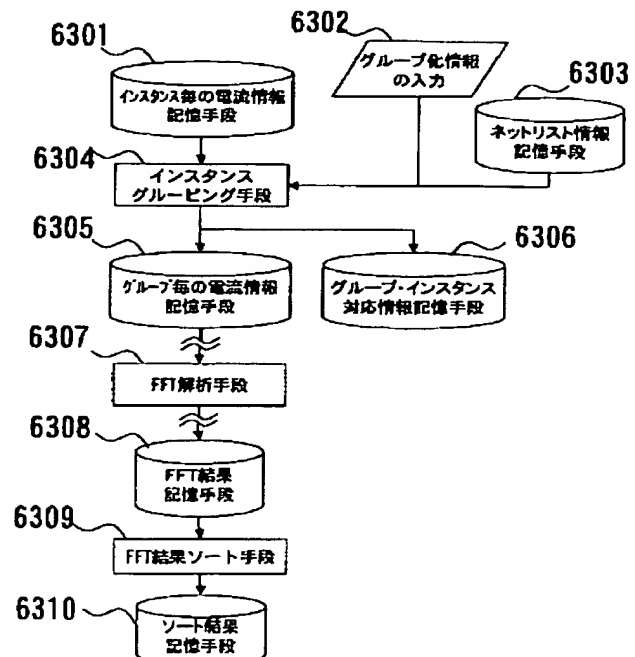
6101

6102

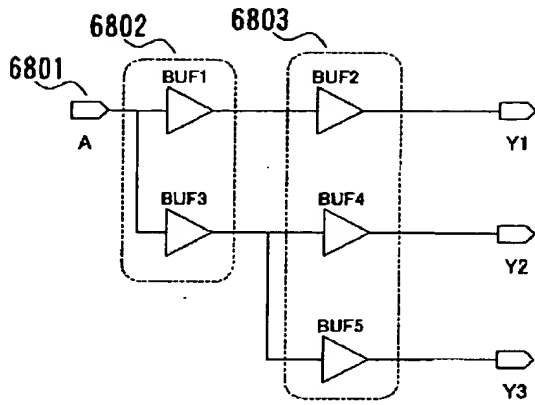
【図54】



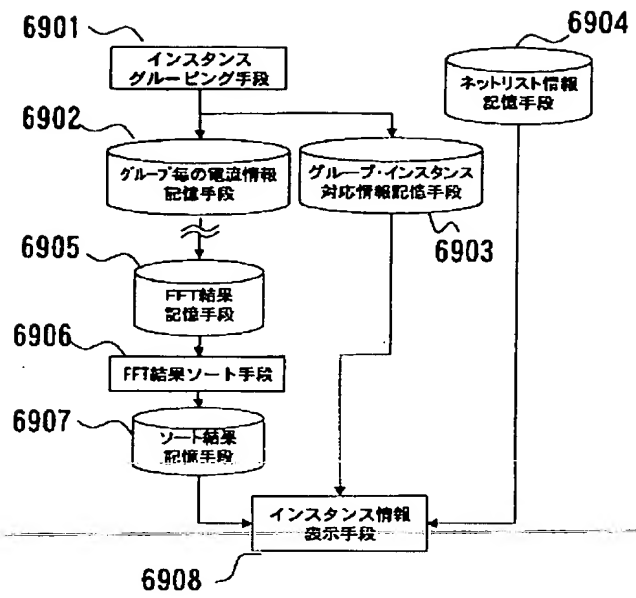
【図55】



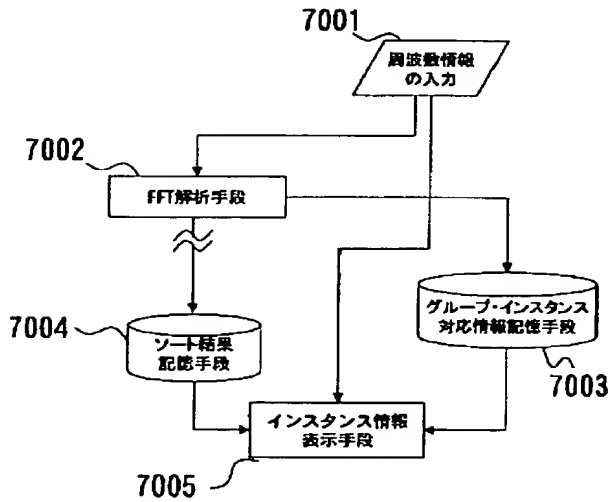
【図 6 0】



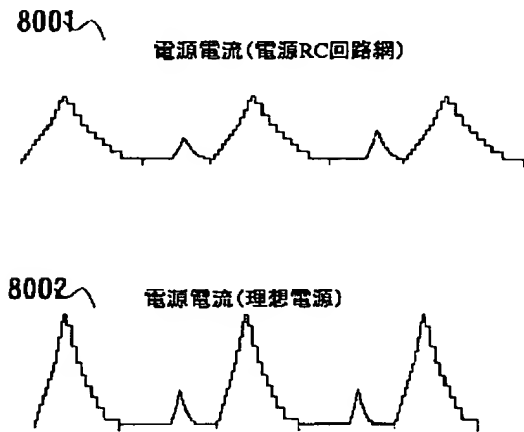
【図 6 1】



【図 6 2】

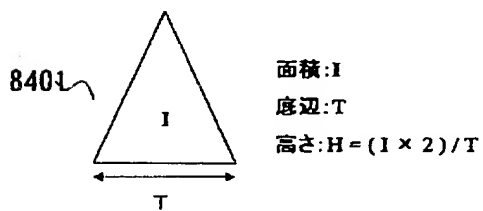


【図 6 3】

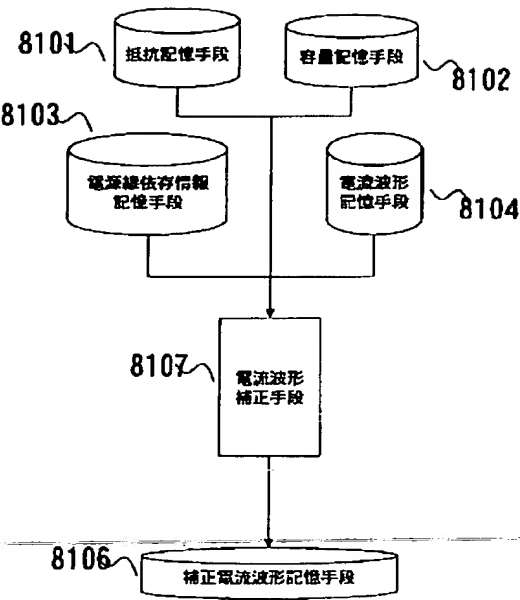


【図 6 7】

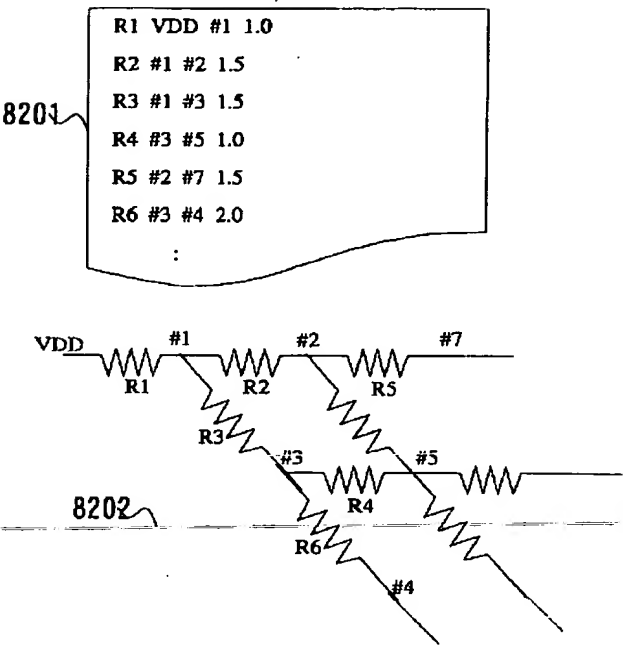
推定電流波形のイベント単位モデル



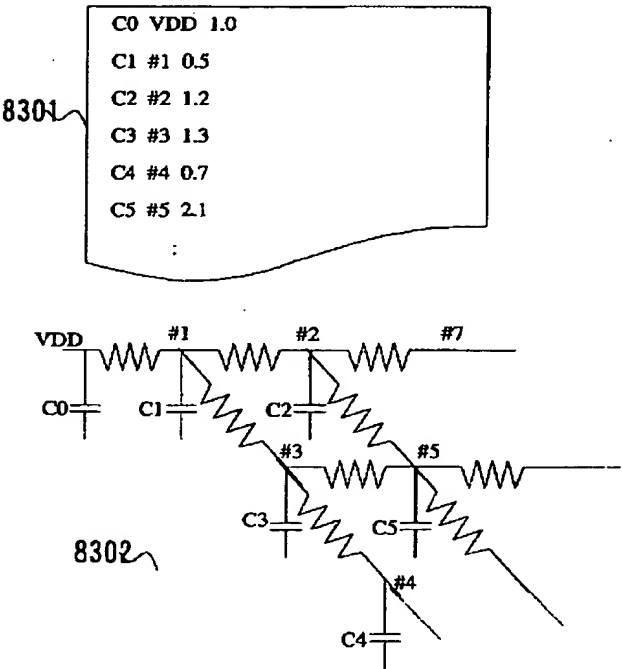
【図64】



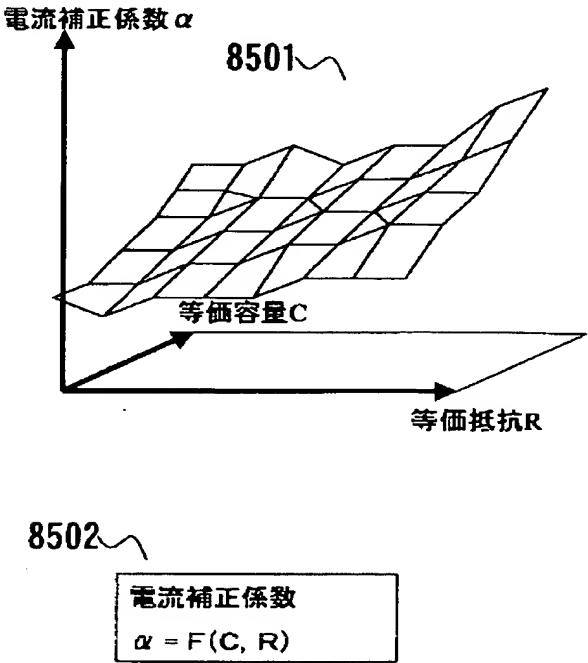
【図65】



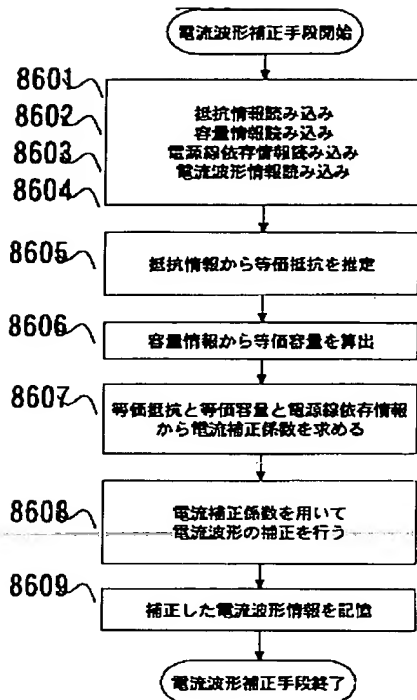
【図66】



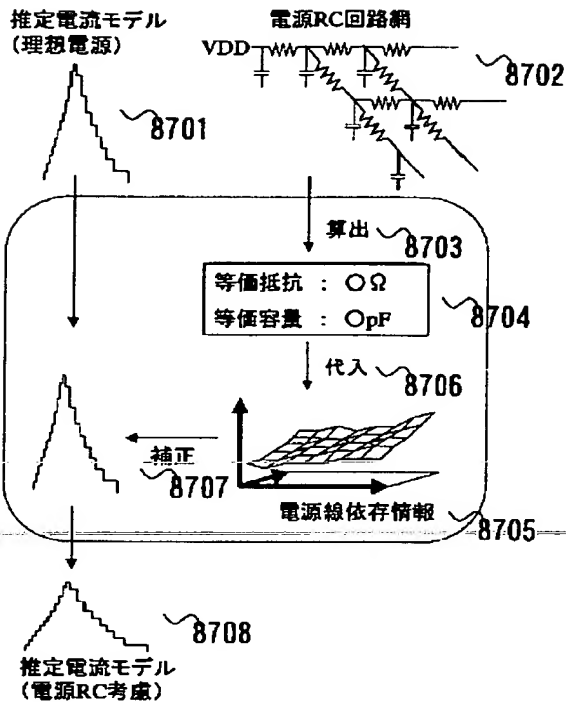
【図68】



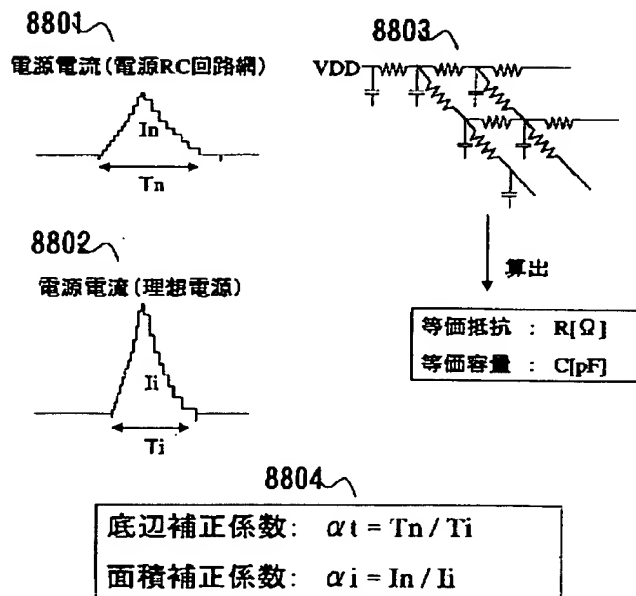
【図69】



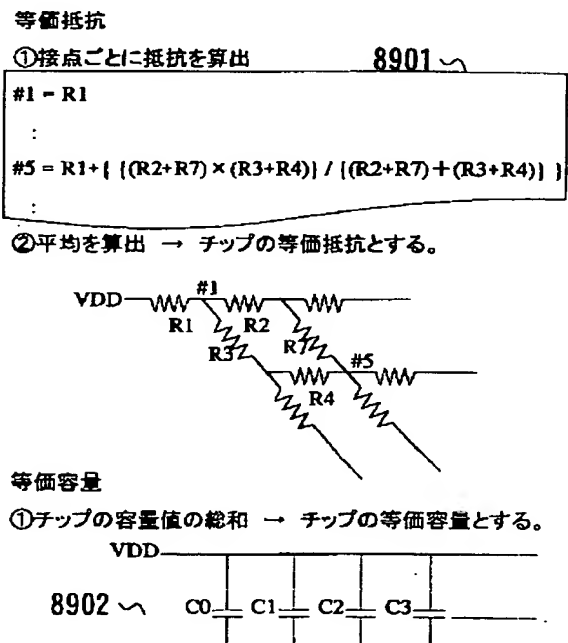
【図70】



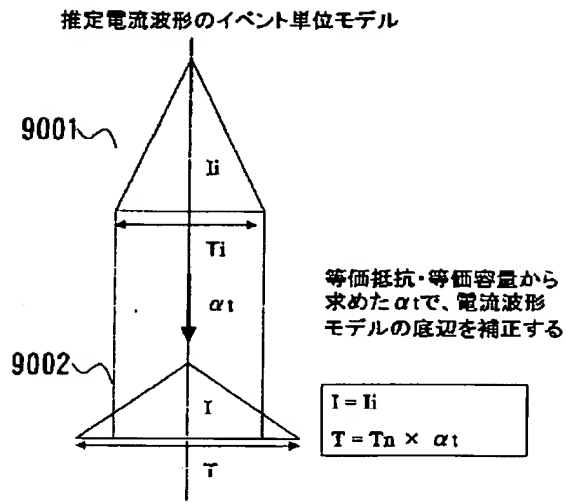
【図71】



【図72】

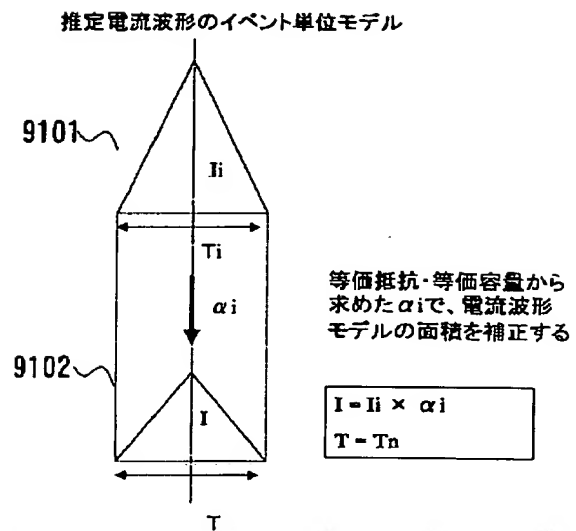


【図73】



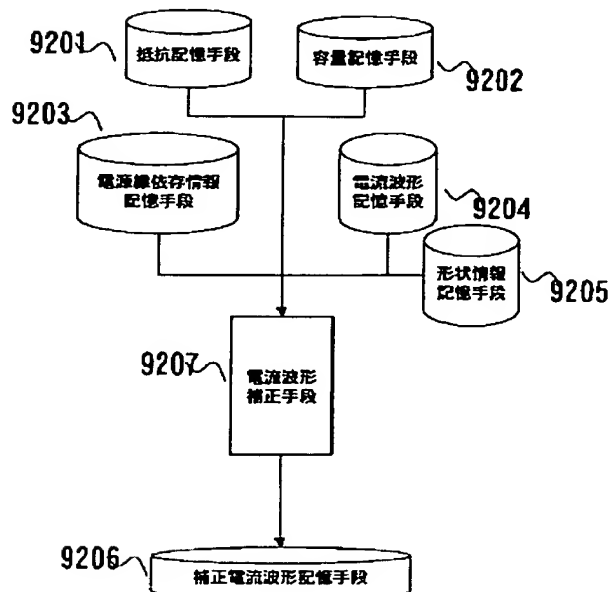
デカップリングの影響を反映

【図74】

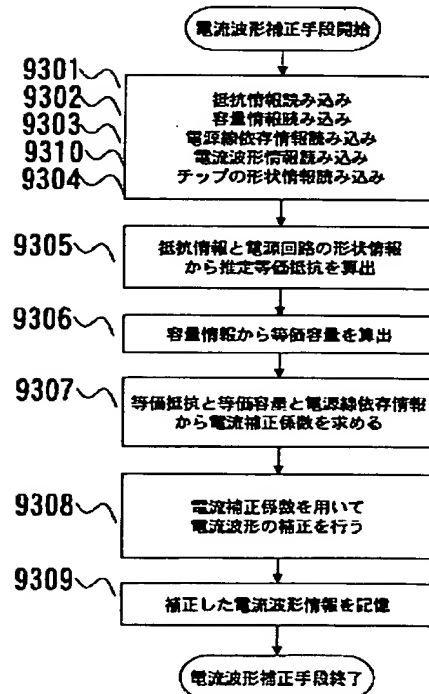


IR-Dropの影響を反映

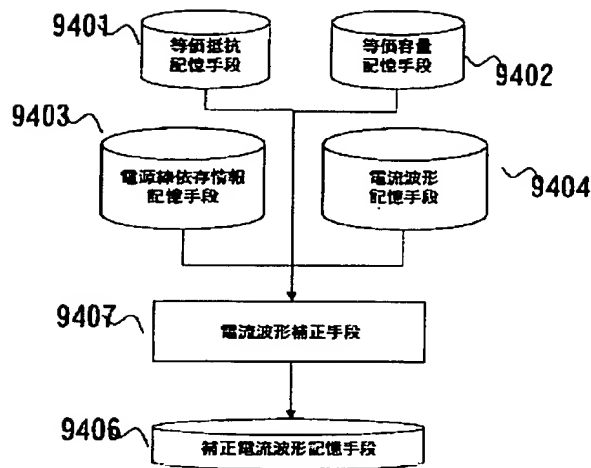
【図75】



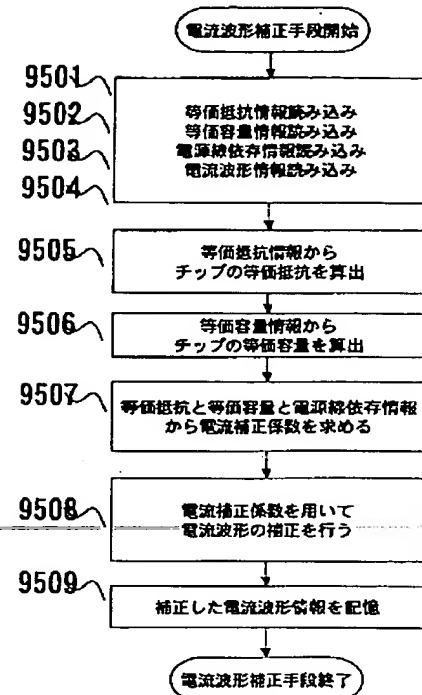
【図76】



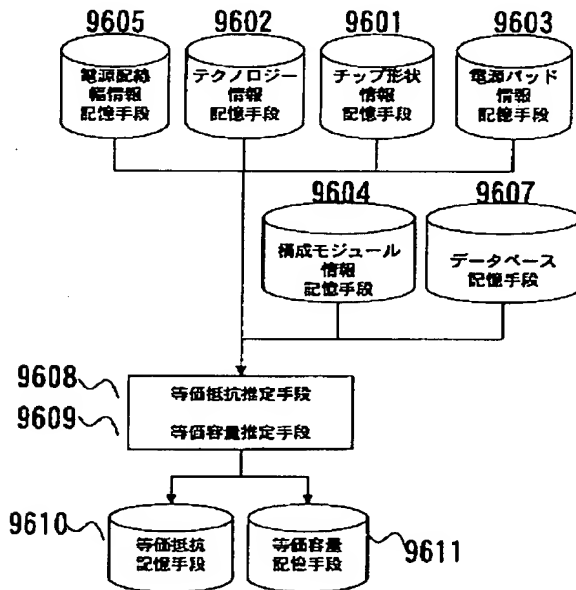
【図 77】



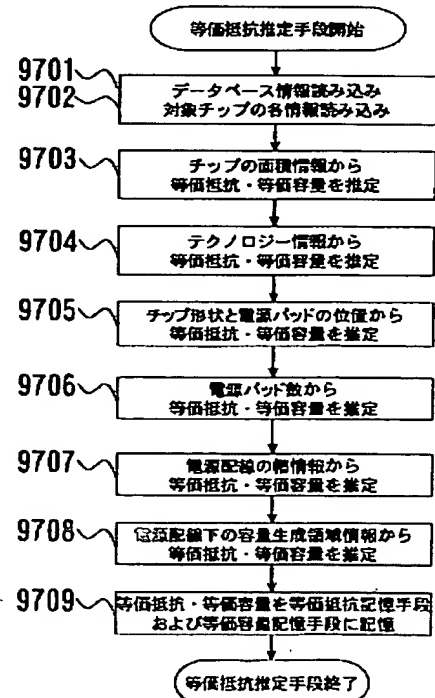
【図 78】



【図 79】



【図 80】



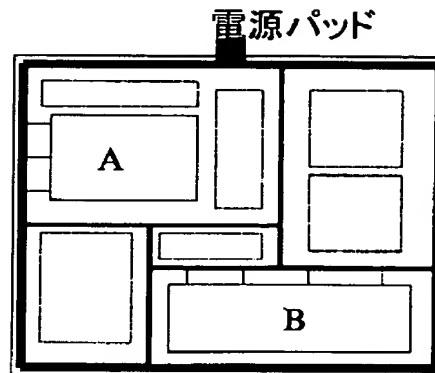
【図81】

チップ等価抵抗	20Ω
チップ等価容量	400pF
チップ面積	400mm ²
チップ形状	20.0mm×20.0mm
電源パッド数	1
電源パッド位置	(1000,0)
テクノロジー	0.6μm
シート抵抗値	100mΩ
単位寄生容量	1.0pF
リング電源配線	あり、50μm
基幹電源配線	30μm
デカップリング容量セル	なし
モジュール種類	標準ロジック(A)
モジュール面積	8.0mm×4.5mm
モジュール位置	(400,800)
インスタンス数	700,000
モジュール内配線幅	5μm
周辺容量セル	なし
モジュール種類	RAM(B)
モジュール面積	13.0mm×2.0mm
モジュール位置	(1700,1800)
インスタンス数	300,000
モジュール内配線幅	—
周辺容量セル	なし
:	:

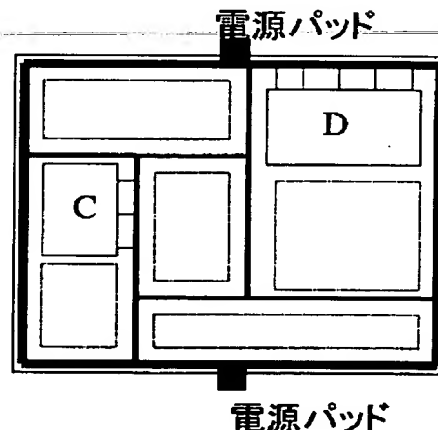
【図83】

チップ等価抵抗	?
チップ等価容量	?
チップ面積	1,600mm ²
チップ形状	80.0mm×20.0mm
電源パッド数	2
電源パッド位置	(4000,0) (4000,2000)
テクノロジー	0.6μm
シート抵抗値	100mΩ
単位寄生容量	0.75pF
リング電源配線	あり、75μm
基幹電源配線	45μm
デカップリング容量セル	リング電源配線下に挿入
モジュール種類	標準ロジック(C)
モジュール面積	7.5mm×15.0mm
モジュール位置	(400,800)
インスタンス数	700,000
モジュール内配線幅	5μm
周辺容量セル	なし
モジュール種類	RAM(D)
モジュール面積	4.0mm×25.0mm
モジュール位置	(1700,1800)
インスタンス数	300,000
モジュール内配線幅	—
周辺容量セル	なし
:	:

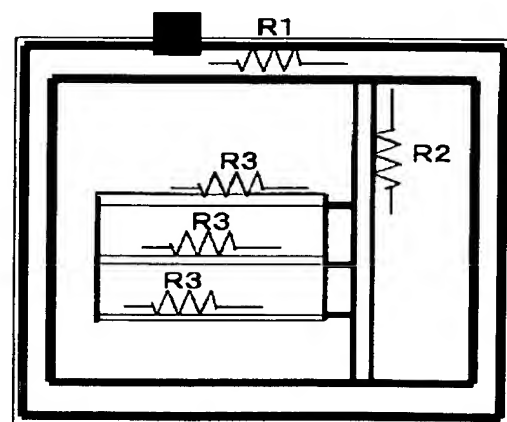
【図82】



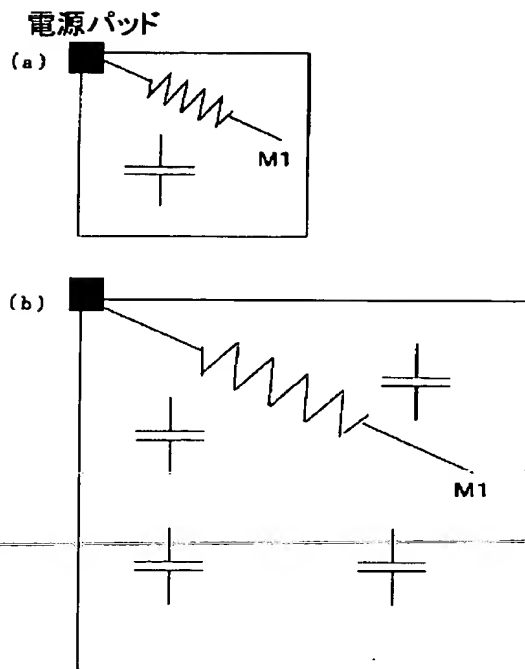
【図84】



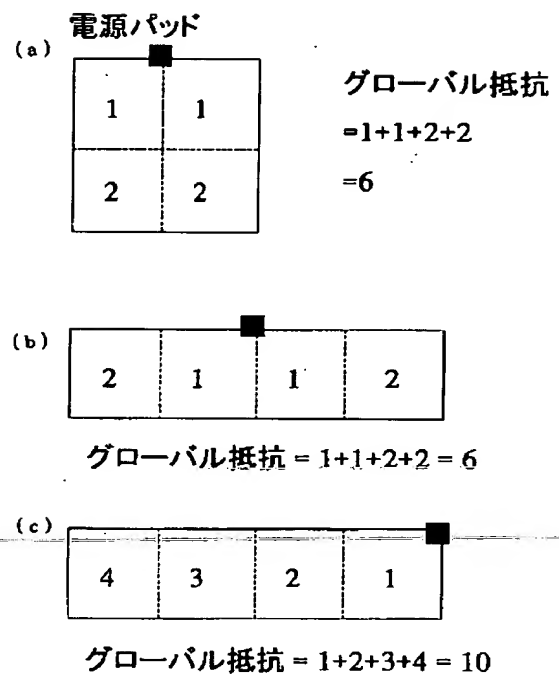
【図87】



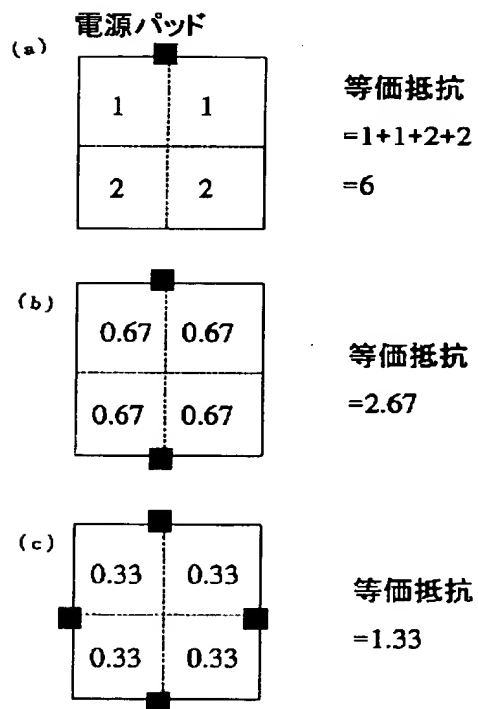
【図85】



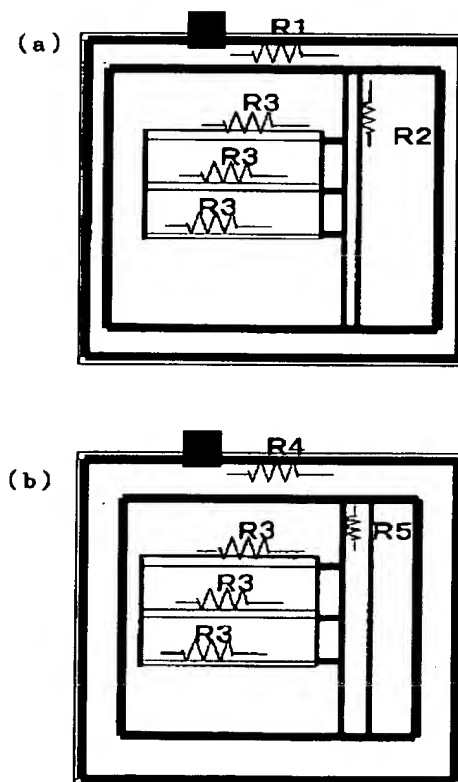
【図86】



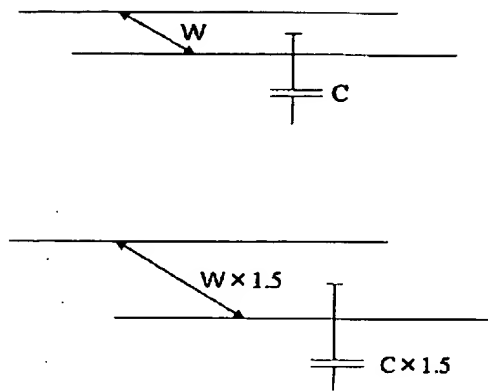
【図88】



【図89】



【図 9 0】



フロントページの続き

(72)発明者 辻川 洋行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 溝川 卓
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5B046 AA08 BA04 JA05 JA07
9A001 BB05 GG03 HH32 LL08